



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

### 文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

### 订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

## 概述

PSoC® 4 是一种混合信号可编程嵌入式系统控制器的可扩展、可重构的平台架构,其核心是 ARM® Cortex®-M0 中央处理器 (CPU)。包含可编程及可配置的模拟和数字模块,可灵活自动选路。基于这个平台的 PSoC 4200 系列产品,结合了微控制器和可编程数字逻辑、高性能模数转换、带比较器模式的运算放大器,以及标准的通信和定时外设。PSoC 4200 产品可与 PSoC 4 平台系列产品向上兼容,满足新的应用与设计需求。可编程的数字和模拟子系统支持灵活的设计,可现场调整设计。

## 特性

### 32 位 MCU 子系统

- 48 MHz ARM Cortex-M0 中央处理器,支持单周期乘法
- 高达 32 kB 的支持读取加速器的闪存
- 容量达 4 kB 的 SRAM

### 可编程的模拟资源

- 两个可灵活配置驱动能力和带宽的运算放大器,可以工作在比较器模式,也可做 ADC 的输入缓冲器
- 12 位 1Msps 的逐次逼近型模数转换器 (SAR ADC),支持差分 and 单端输入,无开销多序列切换、硬件信号平均功能
- 每个引脚上的两个电流 DAC (IDAC) 用于通用或电容式感应应用
- 两个内部低功耗比较器,可以在深度睡眠和休眠模式下工作

### 可编程的数字资源

- 四个可编程逻辑模块,每个有 8 个宏单元以及一个数据通道处理器 (即 UDB, 通用数字模块)
- Cypress 提供外设组件库,用户定义的状态机,以及 Verilog 输入

### 低功耗工作模式, 1.71 V 至 5.5 V 工作电压范围

- 停止模式工作电流可低至 20nA,可用 GPIO 引脚唤醒
- 休眠和深度睡眠模式可供用户在功耗和唤醒时间之间权衡

### 电容式感应

- Cypress CapSense Sigma-Delta (CSD) 提供一流的信噪比 (SNR) (>5:1) 和耐水性能
- Cypress 提供的软件组件让电容式感应的设计变得非常容易。
- 硬件自动调校 (SmartSense™)

### 段 LCD 驱动

- 任意管脚都支持 LCD 驱动 (公共和段)
- 在深度睡眠模式下仍可保持工作,每个存储器引脚为 4 比特。

### 串行通信

- 两个运行独立且可重新配置的串行通信模块 (SCB) 包含可重新配置 I<sup>2</sup>C、SPI 或 UART 功能

### 定时和脉冲宽度调制器

- 四个 16 位定时器、计数器、脉冲宽度调制器 (TCPWM) 模块
- 支持中心对齐模式、边缘模式和伪随机模式
- 基于比较器触发的“Kill”信号,适用于电器驱动和其它高可靠性数字逻辑的应用

### 高达 36 个可编程的 GPIO

- 任意 GPIO 引脚都可以是 Capsense、LCD、模拟、或数字
- 可编程驱动模式、强度和输出摆率

### 五种不同的封装

- 48-pin TQFP, 44-pin TQFP, 40-pin QFN, 35-ball WLCSP 和 28-pin SSOP 封装
- 35-ball WLCSP 封装与闪存中的 I<sup>2</sup>C Bootloader 一起发货

### 扩展的工业温度操作

- -40 °C to + 105 °C 工作温度

### PSoC Creator 设计环境

- 集成开发环境 (IDE) 提供了原理图设计输入和编译 (包括模拟和数字自动布线)
- 应用编程接口 (API) 可用于所有固定功能和可编程的外设

### 工业标准工具的兼容性

- 输入原理图后,可以使用基于 ARM 的工业标准开发工具进行开发

## 更多信息

赛普拉斯网站 ([www.cypress.com](http://www.cypress.com)) 上提供了大量资料, 这些资料有助于您正确为设计选择所需 PSoC 器件, 并能够快速有效地将器件集成到设计中。有关资源的完整列表, 请参考知识库文章 [KBA86521, How to Design with PSoC 3, PSoC 4, and PSoC 5LP](#)。下面提供了 PSoC 4 的简要列表:

- 概况: [PSoC Portfolio](#), [PSoC Roadmap](#)
- 产品选择器: [PSoC 1](#), [PSoC 3](#), [PSoC 4](#), [PSoC 5LP](#) 此外, PSoC Creator 包括一个器件选择工具。
- 应用笔记: 赛普拉斯提供大量的 PSoC 应用笔记, 涵盖从基础到高端的大量主题。推荐的 PSoC 4 入门应用笔记如下:
  - [AN79953](#): PSoC 4 入门
  - [AN88619](#): PSoC 4 硬件设计要素
  - [AN86439](#): 使用 PSoC 4 GPIO 引脚
  - [AN57821](#): 混合信号电路板布局
  - [AN81623](#): 数字设计最佳实践
  - [AN73854](#): Bootloader 简介
  - [AN89610](#): ARM Cortex 代码优化
  - [AN90071](#): CY8CMBRxxx CapSense 设计指南

- 技术参考手册 (TRM) 包括两个文档:
  - [Architecture TRM](#) 详细描述了各 PSoC 4 功能模块。
  - [Registers TRM](#) 描述 PSoC 4 寄存器。
- 开发套件:
  - [CY8CKIT-042](#), PSoC 4 Pioneer 套件, 是容易上手且价格划算的开发平台。此套件包括 Arduino™ 兼容的扩展板连接器和 Digilent® Pmod™ 子卡。
  - [CY8CKIT-049](#) 是一个低成本原型平台。它是对 PSoC 4 器件进行采样的低成本替代方案。
  - [CY8CKIT-001](#) 是 PSoC 1、PSoC 3、PSoC 4、或 PSoC 5LP 系列器件的公共开发平台。

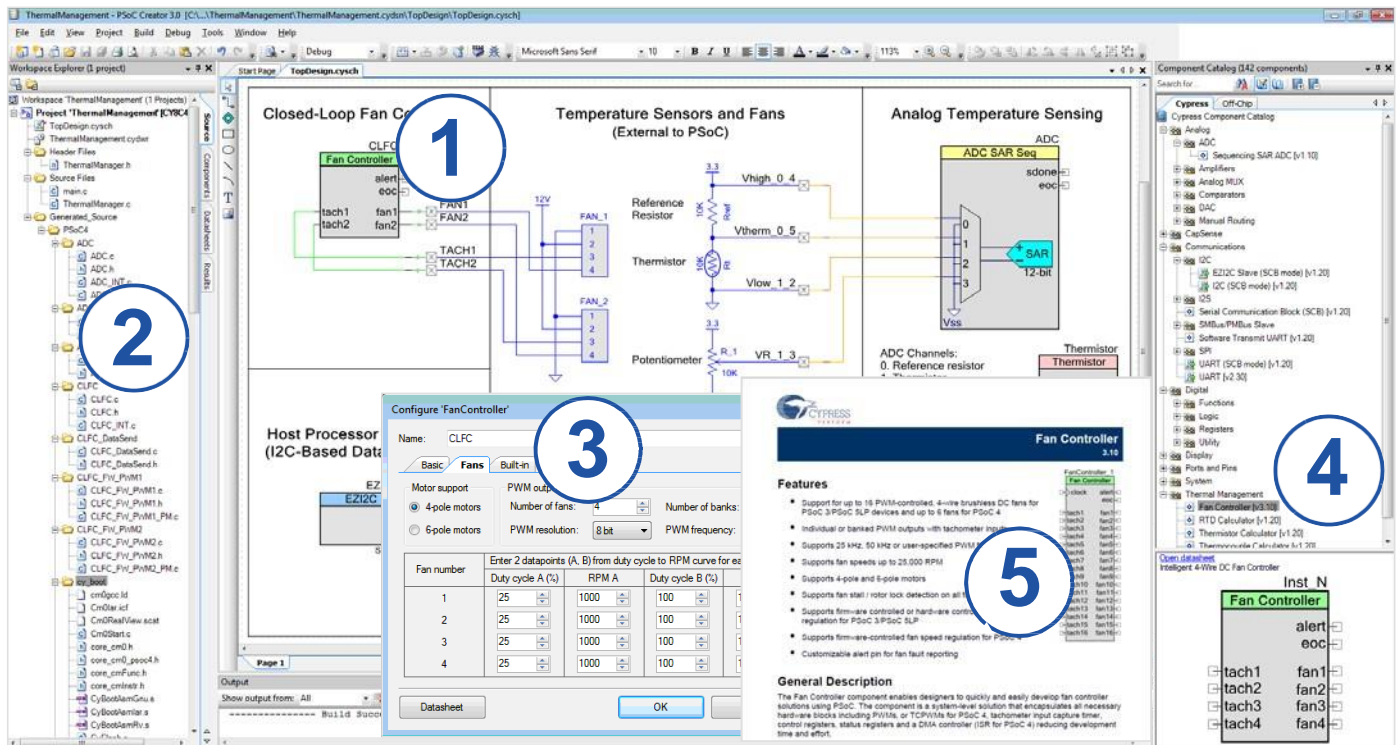
[MiniProg3](#) 器件提供了一个用于进行闪存编程和调试的接口。

## PSoC Creator

[PSoC Creator](#) 是免费的基于 Windows 系统的集成设计平台 (IDE)。通过它可以同时在 PSoC 3、PSoC 4 和 PSoC 5LP 的系统中设计硬件和固件。PSoC Creator 通过基于原理图的经典方法设计系统架构, 由上百个预验证可用于生产的 PSoC 组件给与支持。更多信息请参考 [组件数据手册列表](#)。使用 PSoC Creator, 可以执行以下操作:

1. 将组件图标施放到主要设计工作区中, 以进行您的硬件系统设计。
2. 使用 PSoC Creator 集成开发环境 C 编译器对您的应用固件和 PSoC 硬件进行协同设计。
3. 使用配置工具配置组件
4. 浏览 100+组件的库
5. 查看组件数据手册

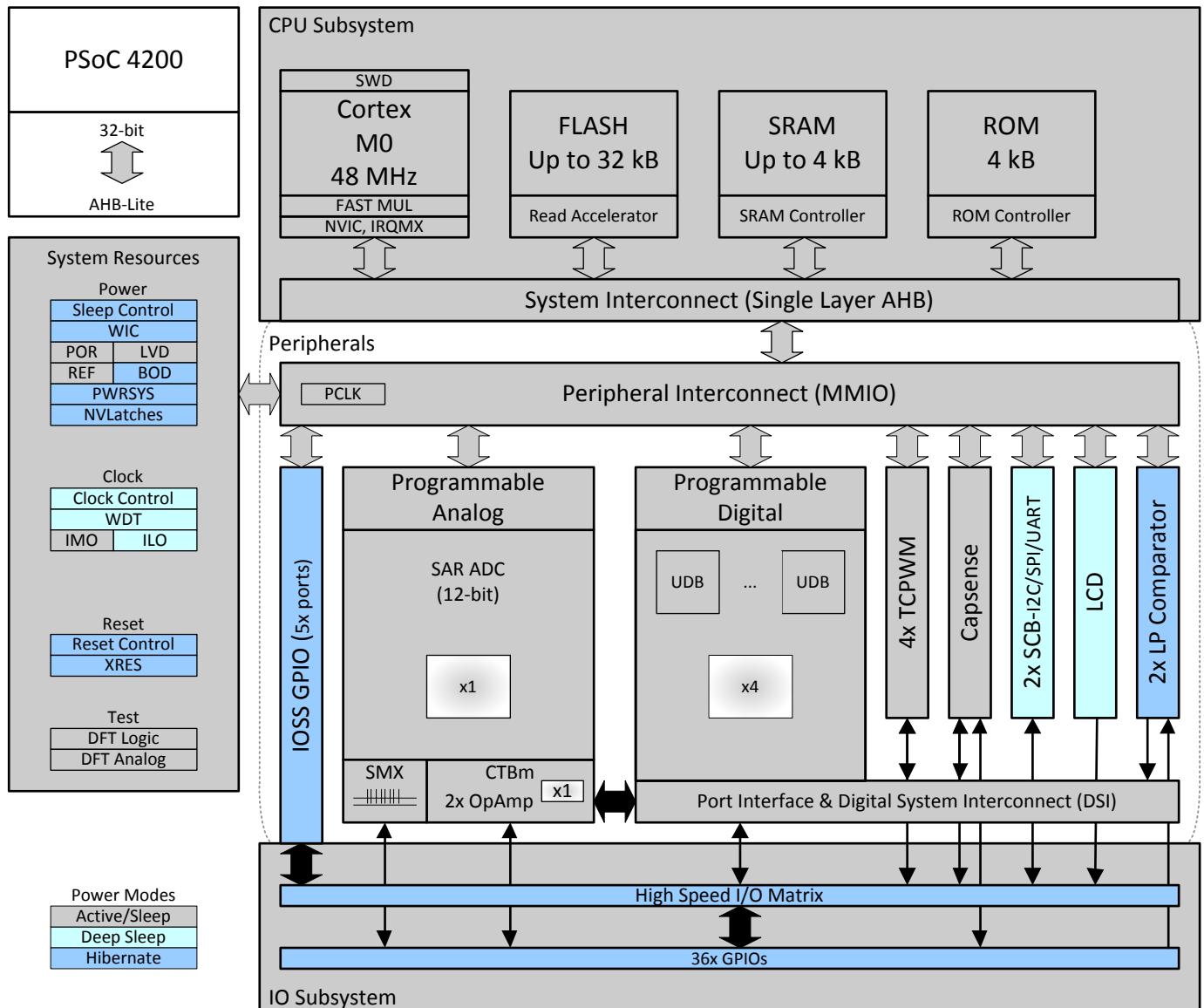
Figure 1. PSoC Creator 中多传感器的示例项目



## 目录

概述.....	1	在线支持.....	18
特性.....	1	工具.....	18
更多信息.....	2	电气规范.....	19
PSoC Creator.....	2	最大绝对额定值.....	19
功能定义.....	5	器件级规范.....	19
CPU 和存储器子系统.....	5	模拟外设.....	23
系统资源.....	5	数字外设.....	28
模拟模块.....	6	存储器.....	30
可编程的数字资源.....	7	系统资源.....	31
固定功能数字模块.....	8	订购信息.....	35
GPIO.....	8	部件编号规则.....	36
特殊功能外设.....	9	封装.....	37
WLCSP 封装 Bootloader.....	9	缩略语.....	41
引脚分布.....	10	文档约定.....	43
电源.....	16	测量单位.....	43
非稳压外部供电.....	16	修订历史.....	44
稳压外部电源.....	17	销售、解决方案、和法律信息.....	45
开发支持.....	18	全球销售和 design 支持.....	45
文档.....	18		

图 2.框图



PSoC 4200 器件能够为硬件和固件的编程、测试、调试和跟踪提供广泛的支持。

ARM 串行线调试 (SWD) 接口支持器件的所有编程和调试功能。

借助完善的片上调试功能, 可以使用标准的生产用器件在最终系统中进行全面的器件调试。它不需要特殊的接口、调试转接板、模拟器或仿真器。只需要标准的编程连接, 即可全面支持调试。

PSoC Creator 集成开发环境 (IDE) 软件能够为 PSoC 4200 器件提供全面集成的编程和调试支持。SWD 接口与行业标准的第三方工具完全兼容。PSoC 4200 系列具有调试接口禁用选项以及非常强大的闪存保护功能, 提供了其它芯片或微控制器无法实现的安全级别。

默认开通调试电路, 并只能在固件内禁用。如果电路未使能, 唯一的方法是重新使能它们以擦除整个设备数据, 清除闪存保护, 并用使能了调试功能的新固件对设备进行编程。

此外, 对于担心会通过器件恶意重新编程进行欺诈性攻击或试图击败安全启动和中断闪存编程序列的应用, 可以永久禁用所有器件接口。由于使能最高安全级别时将禁用所有编程、调试和测试接口, 因此已启用全器件安全性的 PSoC 4200 器件将不能退回进行故障分析。这是 PSoC 4200 允许客户进行的权衡。



## 功能定义

### CPU 和存储器子系统

#### CPU

PSoC 4200 中的 Cortex-M0 CPU 是 32 位 MCU 的子系统, 该内核通过扩展的门控时钟来优化低功率操作。它通常使用 16 位指令, 而且 CPU 可以执行 Thumb-2 指令子集。这样能够将完全兼容的二进制代码导入更高性能的处理器的, 如 Cortex M3 和 M4, 从而实现向上兼容。PSoC 4200 器件还包含了一个能在单一周期内计算出 32 位结果的硬件乘法器。包括带 32 路中断输入的嵌套向量中断控制器 (NVIC) 模块, 也包括唤醒中断控制器 (WIC)。WIC 可将处理器从深度睡眠模式唤醒, 允许芯片处于深度睡眠模式时关闭供给主处理器的电源。Cortex-M0 CPU 提供一个不可屏蔽中断输入 (NMI), 该输入未被系统函数使用时可以提供给用户使用。

CPU 还包括一个调试接口, 即 JTAG 两线式的串行线调试 (SWD) 接口, PSoC 4200 的调试配置有四个断点 (地址) 比较器和两个观察点 (数据) 比较器。

#### 闪存

PSoC 4200 包含一个闪存模块, 该模块的闪存加速器与 CPU 紧密耦合, 以缩短闪存模块的平均访问时间。如果频率为 48 MHz, 将有 WS (等待状态); 如果频率为 24 MHz, 则不存在任何等待状态。通过闪存加速器, 闪存的单周期访问时间平均为 SRAM 访问时间的 85%。如果需要, 闪存模块的部分空间可以用于仿真 EEPROM 操作。

PSoC 4200 闪存支持以下存储器子系统级闪存保护模式:

- **Open:No Protection.** 发货时出厂默认模式。
- **Protected:User may change from Open to Protected.** 此模式禁止调试接口访问。完全擦除闪存后模式可以设置回 **Open**。
- **Kill:用户可以改变 Open 为 Protected** 此模式禁止所有调试访问。此部件不能从外部擦除, 从而避免由于电源中断、潜在故障、和安全漏洞造成的部分擦除的可能。此模式不可撤销。

此外, 也支持行级读/写保护

以阻止因为疏忽造成的写操作和选择性读模块闪存读/写/擦除操作总是可以通过内部代码使用系统调用实现。

#### SRAM

SRAM 存储在休眠期间处于保留状态。

#### SRoM

此外, 还提供了包含引导和配置子程序的特权 ROM。

## 系统资源

### 电源系统

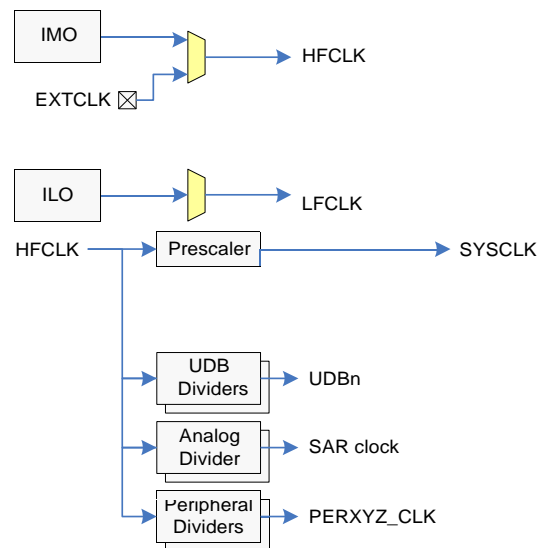
有关电源系统的详细信息, 请参考 [Power on page 16](#) 所介绍的内容。这样可确保电压电平满足每个相应模式的要求, 延迟模式输入 (例如, 上电复位 (POR) 模式) 直到电压电平满足正常功能, 或生成各种复位 (欠压检测 (BOD)) 或中断 (低电压检测, LVD)。PSoC 4200 可通过一个外部电源供电, 其电压范围为 1.71 至 5.5 V。它拥有 5 种不同的电源模式, 这些模式之间的转换由电源系统管理。PSoC 4200 支持睡眠、深度睡眠、休眠和停止等各种低功耗模式。

### 时钟系统

PSoC 4200 的时钟系统为需要时钟的所有子系统提供时钟, 并且通过该时钟系统可以在各种时钟源之间进行切换而不会产生毛刺。此外, 时钟系统可确保不会出现亚稳态情况。

PSoC 4200 的时钟系统既包括内部主振荡器 (IMO), 内部低功耗振荡器 (ILO), 还提供一个外部时钟。

图 3.PSoC 4200 MCU 时钟架构



HFCLK 信号会被分割 (参考 [PSoC 4200 MCU Clocking Architecture](#)) 以生成针对 UDB 和模拟及数字外设的同步时钟。PSoC 4200 一共有 12 个时钟分频器, 每一个都有 16 位分频功能; 这样功能固定的模块可以使用 8 个, UDB 则可以使用 4 个。模拟时钟的相位可以提前数字时钟, 以允许在生成数字时钟相关的噪声之前发生模拟事件。16 位的分频能够为生成精细的频率值提供极大的灵活性。PSoC Creator 完全支持该功能。当使用 UDB 生成的脉冲中断时, SYSCLK 必须等于 HFCLK。

## IMO 时钟源

PSoC 4200 中, IMO 是首要的内部时钟源。在测试过程中, 该时钟源被校准, 以达到指定的精度。校准值存储在非易失性锁存器 (NVL) 中。存储在闪存中的额外校准设置可在 IMO 频率变化时做补偿。IMO 的默认频率为 24 MHz; 其频率范围为 3MHz 到 48 MHz, 增/减步长为 1 MHz。IMO 和赛普拉斯提供的校准值之间的容差为  $\pm 2\%$ 。

## ILO 时钟源

ILO 是极低功耗的振荡器, 主要用于为在深度睡眠模式下工作的外设提供时钟。利用 IMO 校准 ILO 驱动计数器可以提高准确度。赛普拉斯提供进行校准的软件组件。

## 看门狗定时器

来自 ILO 的时钟模块为看门狗定时器提供时钟; 这样允许看门狗在深度睡眠模式下仍能工作, 在发生超时前, 如果还未服务该看门狗, 则将生成看门狗复位。看门狗复位在复位原因 (Reset Cause) 寄存器内记录。

## Reset

可以由各种源 (包括软件复位) 复位 PSoC 4200。复位事件是异步的, 用于确保将器件恢复到一个已知的状态。复位原因被记录在寄存器内, 该寄存器在复位过程中保持不变并允许软件确定复位原因。芯片为外部复位提供一个 XRES 引脚, 以避免在加电或重新配置期间, 同配置和多个引脚存在问题。XRES 引脚有一个内部上拉电阻, 该电阻总是处于使能状态。

## 参考电压

PSoC 4200 参考系统生成所需要的所有内部参考电压。系统为 12 位 ADC 提供 1% 精度的电压参考。为了获得更好的信噪比和更好的绝对精度, 可以将参考电压旁路 (使用 GPIO 引脚) 或使用 SAR 外部参考源。

## 模拟模块

### 12-bit SAR ADC

12 位的 1 Msps 的 SAR ADC 可在 18MHz 的最大时钟速率下运行, 在该频率下进行一次 12 位数据转换至少需要 18 个时钟周期。

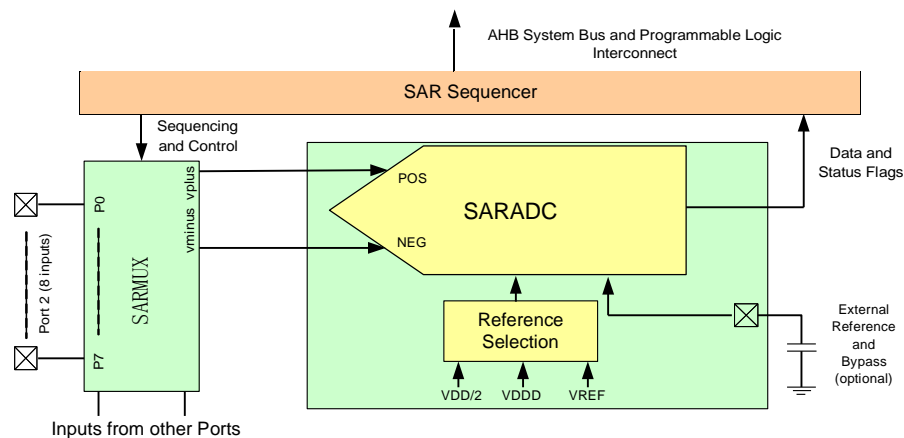
该模块通过: 添加参考电压缓冲; (针对 PSoC 4200 系列) 提供三个内部电压参考选择:  $V_{DD}$ 、 $V_{DD}/2$ 、和  $V_{REF}$  (额定电压为 1.024 V) 和提供外部参考电压输入引脚来增强模块的功能。采样和保持 (S/H) 孔径可编程, 使得放大器增益带宽需求驱动 SAR 输入, 这决定了需要的校准时间不那么严格。在使用合适的参考和允许的噪声环境下, 对于真正的 12 位精度, 系统性能是 65 dB。为提高在嘈杂条件下的性能, 可以为内部参考放大器提供一个外部旁路电容。

SAR 通过一个 8 路输入的定序器 (Sequencer) 与一些固定引脚相连。定序器自动选择和切换模拟通道, 而不需要任何软件开销 (即无论是在单通道的

还是在分布在多通道上, 总采样带宽一直等于 1 Msps)。定序器的切换通过一个状态机或固件驱动实现。定序器的每一路转换结果被缓存到不同的结果寄存器, 减轻 CPU 中断处理的要求。为了适应各种源阻抗和频率的信号, 每个通道可有不同的可编程采样时间。另外, 如果数字化的值超过编程的范围, 将通过一对范围寄存器 (低和高范围值) 的相应范围外中断来执行信号范围规范; 这使得不必等待定序器扫描完成和 CPU 读取值以检查软件中的范围以外值来快速确定范围以外值。

SAR 可以量化电路板上的温度传感器的输出, 来对其它温度相关功能做校准。当需要一个高速时钟 (可高达 18 MHz) 时, SAR 在深度睡眠模式和休眠模式不可用。SAR 的工作电压范围为 1.71 V 至 5.5 V。

图 4.SAR ADC 系统图



## 2 个运算放大器 (CTBm 模块)

PSoC 4200 有两个在可以配置成比较器的运算放大器, 这些放大器可以用来实现 PGA、电压缓冲器、滤波器、互阻放大器和其他功能, 为用户节约功耗、成本和空间。PSoC 4200 片上运算放大器有足够的带宽来驱动

ADC 的采样和保持电路而不必使用外部缓冲。

## 温度传感器

PSoC 4200 有一个片上温度传感器, 该传感器包括一个二极管, 此二极管的偏执电流由一个开关状态可控制的电流源提供。该温度传感器的输出可以连接至 ADC 做量化采样, 量化结果通过赛普拉斯提供的软件 (包括校准和线性化) 来转换成温度值。

## 低功耗比较器

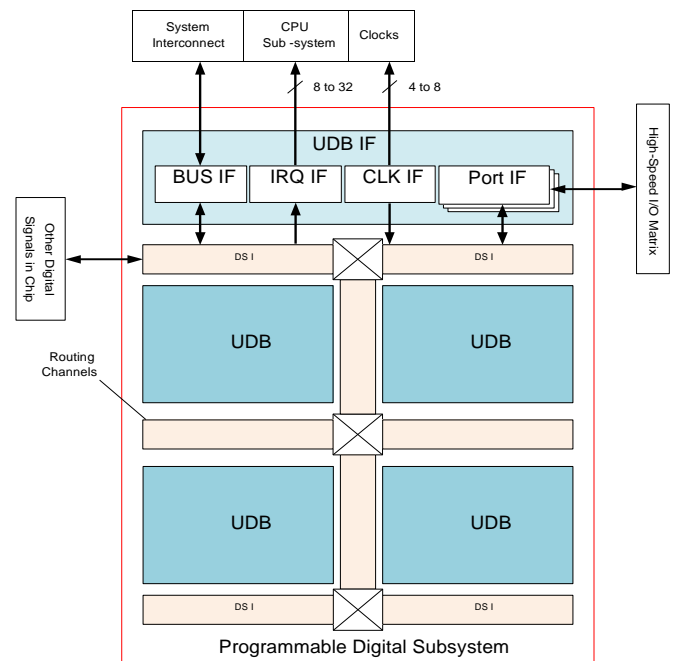
PSoC 4200 具有一对低功耗比较器, 该比较器可以在深度睡眠和休眠模式下运行。这允许模拟系统模块被禁用, 但却保留在低功耗模式下监控外部电压水平的功能。比较器输出通常会进行同步以避免亚稳态, 除非运行在异步电源模式 (休眠) 下, 因为这里系统唤醒电路被比较器切换事件激活。

## 可编程的数字资源

### 通用数字模块 (UDB) 及端口接口

PSoC 4200 具有四个 UDB; UDB 阵列同样也提供了一个数字系统互连 (DSI) 结构, 允许将外设和端口中的信号布线到或经过 UDB, 以进行通信和控制。下图显示的是 UDB 阵列。

图 5. UDB 阵列

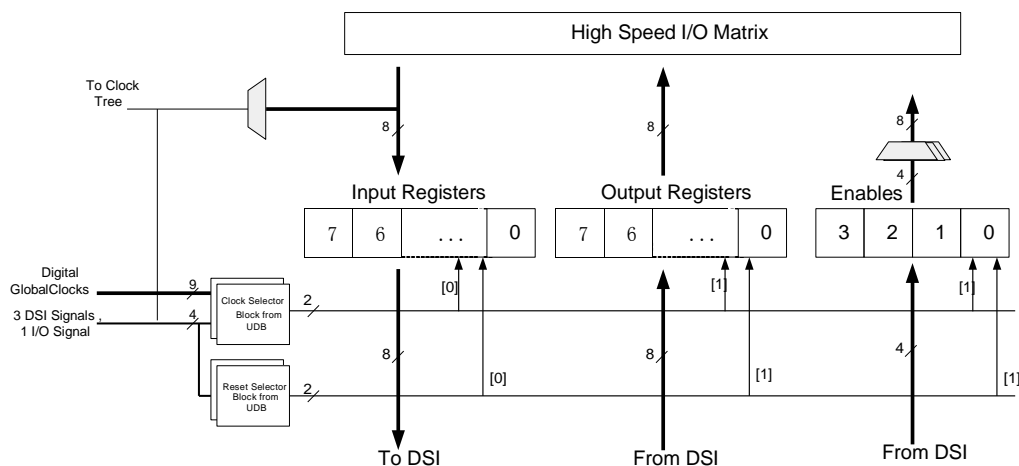


UDB 可由时钟分频器模块、端口接口 (外设, 如 SPI 需要) 和 DSI 网络直接或在同步后提供时钟脉冲。

端口接口被定义作为一个寄存器使用, 并可由 UDB 阵列中 PLD 的相同源来提供时钟脉冲。这样允许能够更快地运行, 因为输入和输出可被保存在接近 I/O 引脚的端口接口和阵列的边缘上。端口接口寄存器可以由来自同一端口的一个 I/O 引脚提供时钟脉冲。这样, 通过消除延迟将端口输入布线到 DSI 上并用于寄存其他输入, 各种接口 (如 SPI) 可以在较高的时钟速率下运行 (请参考图 6)。

UDB 可以给中断控制器生成中断 (每次允许一个 UDB)。UDB 仍可通过 DSI 连接到芯片上的所有引脚。

图 6. 端口接口





## 固定功能数字模块

### 定时器 / 计数器 / PWM 模块 (TCPWM)

TCPWM 模块包含一个用户可编程周期长度的 16 位计数器。有一个捕获寄存器,用于记录事件发生(可能是 I/O 事件)时的计数值;一个周期寄存器,用于停止或自动重新加载计数器(如果计数值与周期寄存器的值相等时)和一个比较寄存器,用于保存计数器的比较值来确定 PWM 的输出状态。在正向输出和反向输出之间,该模块还提供了可编程的偏移,使这些输出可以作为可编程死区的互补 PWM 输出使用。它还提供用于强制输出进入未确定状态的停止 (Kill) 输入;例如,当出现过流状态时,该输入可用于电机驱动系统中,这时需要立即关闭驱动 FET 的 PWM 而不能等待进行软件干预。

### 串行通信模块 (SCB)

PSoC 4200 有两个 SCB,每一个 SCB 都可以实现 I<sup>2</sup>C、UART、或 SPI 接口。

**I<sup>2</sup>C 模式:**硬件 I<sup>2</sup>C 模块可执行整个多主设备和从设备接口(它具有多主设备的校准功能)。该模块的工作速率可达 1 Mbps (快速模式+),另外它还提供各种灵活的缓冲选项,以降低 CPU 的中断开销和延迟。FIFO 可用在所有通道,并在没有 DMA 的情况下非常有用。

I<sup>2</sup>C 外设与 I<sup>2</sup>C 标准模式、快速模式和增强快速模式器件相兼容,如 NXP I<sup>2</sup>C 总线规范和用户手册 (UM10204) 中所定义。在开漏模式下,可以使用 GPIO 引脚实现 I<sup>2</sup>C 总线 I/O。

I<sup>2</sup>C 总线针对总线上带拉电阻的时钟和数据使用开漏驱动以连接时钟和数据到所有节点。不同的 I<sup>2</sup>C 速度所需的上升和下降次数通过使用适当的上拉电阻值来保证,这取决于 VDD、总线电容、和电阻容限。有关如何计算最佳上拉电阻值的更多细节,请参考 UM10204 I<sup>2</sup>C 总线规范和用户手册 (最新版本请访问 [www.nxp.com](http://www.nxp.com))。

针对下列方面来说,PSoC 4200 不完全符合 I<sup>2</sup>C 规范:

- GPIO 单元没有过压容差功能,因此不能与其它的 I<sup>2</sup>C 系统热插拔或者单独供电。
- 快速模式+的 I<sub>OL</sub> 规格为 20 mA, V<sub>OL</sub> 0.4 V。GPIO cells 最多能下沉 8-mA I<sub>OL</sub>, 最大 V<sub>OL</sub> 为 0.6 V。
- 快速模式和快速+模式指定最小下降次数,这与 GPIO cell 不符;慢速强模式能帮助满足这个规格,这取决于 Bus Load (总线负载)。
- 当 SCB 是一个 I<sup>2</sup>C 主设备的时候,它在 NACK 和重启 (Repeated Start) 之间插入空闲 (IDLE) 状态;I<sup>2</sup>C 规范将总线空闲定义为停止条件,因此不干扰其他活动主设备,但是一个刚生效的主设备可能启动仲裁周期。

- 当 SCB 处于 I<sup>2</sup>C 从设备模式时,如果在外部时钟上地址匹配 (EC\_AM = 1) 和在内部时钟模式的操作 (EC\_OP = 0) 被启用时,则其 I<sup>2</sup>C 地址必须是偶数。

**UART 模式:**这是一个运行速度高达 1 Mbps 的全功能 UART。它支持汽车单线接口 (LIN)、红外接口 (IrDA)、和智能卡 (ISO7816) 的协议,这些全部都是基本 UART 协议的衍生型。此外,它还支持 9 位多处理器模式,此模式允许寻址连接到通用的 RX 和 TX 线的外设。支持通用 UART 功能,如奇偶校验错误、中断检测以及帧错误。一个 8 字节 FIFO 让更多的 CPU 服务延迟得到容许。请注意,不支持硬件握手特性。这个特性很少被使用,如果需要也可通过系统中的一个基于 UDB 的 UART 来实现。

**SPI 模式:**SPI 模式支持全部 Motorola SPI、TI SSP (基本上是添加用于同步 SPI 编码的启动脉冲) 和 National Microwire (SPI 的半双工形式)。该 SPI 模块可以使用 FIFO。

## GPIO

PSoC 4200 共有 36 个 GPIO。GPIO 模块实现下列功能:

- 八种驱动强度模式:
    - 模拟输入模式 (禁用了输入和输出缓冲区)
    - 仅输入模式
    - 弱上拉和强下拉模式
    - 强上拉和弱下拉模式
    - 开漏和强下拉模式
    - 开漏和强上拉模式
    - 强上拉和强下拉模式
    - 弱上拉和弱下拉模式
  - 输入阈值选择 (CMOS 或 LVTTTL)。
  - 除了驱动强度模式外,需要单独控制输入和输出缓冲区的使能/禁用
  - 用于栓锁前一状态的保持模式 (用于保留 I/O 状态在深度睡眠模式和休眠模式)。
  - dV/dt 相关噪声控制的可选斜率,用以降低 EMI
- 各个引脚被放置在逻辑实体 (称为端口),每个端口的宽度为 8 位。上电和复位期间,各模块被强制为禁用状态,以禁止给任何输入供电和 / 或造成引脚启用时的过电流现象。称为高速度 I/O 矩阵的复用网络用于复用连接至一个 I/O 引脚的多个信号。固定功能外设的引脚位置也被固定以减少内部使用的复杂性 (这些信号不通过 DSI 网络布线)。DSI 信号不受此影响,且所有引脚均可通过 DSI 网络连接到任何 UDB。数据输出寄存器和引脚状态寄存器分别用于驱动和保存管脚当前的状态。
- 数据输出寄存器和引脚状态寄存器分别用于驱动和保存管脚当前的状态。
- 如果 I/O 引脚被使能,它将生成一个中断,并且每个 I/O 端口都有一个中断请求 (IRQ) 和相关的中断服务子程序 (ISR) 向量 (对于 PSoC 4200, 向量数量为 5,因为它有 4.5 个端口)。

## 特殊功能外设

### LCD 段驱动

PSoC 4200 有一个 LCD 控制器,可驱动多达 4 个 common 和 32 个 segment。该控制器使用完整的数字方法驱动 LCD 段,而不需要内部生成 LCD 电压。这两种方法被称为数字相关和 PWM。

数字相关涉及到调制频率、通用电平和段信号,用于生成一个段的最高 RMS 电压,以照亮或保持 RMS 信号为零。这种方法对 STN 有用,但可能会导致降低跟 TN 显示的对比度。

PWM 属于 PWM 信号驱动板,有效地使用面板的电容来提供经过调试脉冲宽度的集成,从而生成所需的 LCD 电压。这种方法导致更高的功耗,但驱动 TN 显示时可以导致更好的结果。支持 LCD 在深度睡眠时刷新新的显示缓冲区(4 位;每端口使用一个 32 位寄存器)。

### CapSense

通过一个 CapSense Sigma-Delta (CSD) 模块,所有 PSoC 4200 的引脚都支持 CapSense 功能;通过一个模拟复用器总线,此模块可连接到任何引脚,所有 GPIO 引脚都可以使用一个模拟开关来连接该总线。因此,在软件控制情况下,系统中的任何有效引脚或引脚组都可以提供 CapSense 功能。另外,为了方便用户使用,还为 CapSense 模块提供了一个组件。

通过将屏蔽电压驱动到另一个模拟总线可以提供防水性能。通过在同相位中驱动屏蔽电极和感应电极,可以提供防水功能,从而可以避免屏蔽电容衰减感应输入。

CapSense 模块具有两个 IDAC。如果 CapSense 不被使用(两个 IDAC 都可用)或 CapSense 没有防水功能(一个 IDAC 有效),那么可以将这两个 IDAC 用于通用目的。

### WLCSP 封装 Bootloader

WLCSP 封装与在闪存内安装的 I<sup>2</sup>C Bootloader 一起提供。

Bootloader 与 PSoC Creator bootloadable 项目文件相兼容,并具有以下的默认特性:

- I<sup>2</sup>C SCL 和 SDA 分别连接到端口引脚 P4.0 和 P4.1 (需要使用外部上拉电阻)
- I<sup>2</sup>C 从设备模式、地址 8、数据速率 = 100 kbps
- 单个应用
- 等待 2 秒后才执行引导加载指令
- 其他 bootloader 选项都是 PSoC Creator 所设置的 Bootloader 组件的默认值
- 占用闪存底部大小的 4.5 KB

如需更多有关 bootloader 的信息,请查阅以下的赛普拉斯应用笔记:

#### AN73854 - Bootloaders 简介

请注意,一个 PSoC Creator Bootloadable 项目必须与一个 Bootloader 项目的 .hex 和 .elf 文件相联系,该 Bootloader 项目已配置为目标器件。Bootloader .hex 和 .elf 文件可在 <http://www.cypress.com/?rID=78632> 上找到。用户可以使用 JTAG 或 SWD 编程来覆盖工厂安装的 Bootloader。

## 引脚分布

下面是 PSoc 4200 的引脚列表 (44-TQFP、40-QFN、28-SSOP 和 48-TQFP)。端口 2 包括 SAR Mux 的高速模拟输入。P1.7 是 SAR 电压参考的可选内部输入和旁路。端口 3 和 4 包括数字通信通道。所有引脚都支持 CSD CapSense 和模拟复用器总线连接。

44-TQFP		40-QFN		28-SSOP		48-TQFP		引脚备用功能					引脚描述
引脚	名称	引脚	名称	引脚	名称	引脚	名称	模拟	备用功能 1	备用功能 2	备用功能 3	备用功能 4	
1	VSS	-	-	-	-	-	-	-	-	-	-	-	接地
2	P2.0	1	P2.0	-	-	2	P2.0	sarmux.0	-	-	-	-	端口 2 引脚 0: gpio, lcd, csd, sarmux
3	P2.1	2	P2.1	-	-	3	P2.1	sarmux.1	-	-	-	-	端口 2 引脚 1: gpio, lcd, csd, sarmux
4	P2.2	3	P2.2	5	P2.2	4	P2.2	sarmux.2	-	-	-	-	端口 2 引脚 2: gpio, lcd, csd, sarmux
5	P2.3	4	P2.3	6	P2.3	5	P2.3	sarmux.3	-	-	-	-	端口 2 引脚 3: gpio, lcd, csd, sarmux
6	P2.4	5	P2.4	7	P2.4	6	P2.4	sarmux.4	tcpwm0_p[1]	-	-	-	端口 2 引脚 4: gpio, lcd, csd, sarmux, pwm
7	P2.5	6	P2.5	8	P2.5	7	P2.5	sarmux.5	tcpwm0_n[1]	-	-	-	端口 2 引脚 5: gpio, lcd, csd, sarmux, pwm
8	P2.6	7	P2.6	9	P2.6	8	P2.6	sarmux.6	tcpwm1_p[1]	-	-	-	端口 2 引脚 6: gpio, lcd, csd, sarmux, pwm
9	P2.7	8	P2.7	10	P2.7	9	P2.7	sarmux.7	tcpwm1_n[1]	-	-	-	端口 2 引脚 7: gpio, lcd, csd, sarmux, pwm
10	VSS	9	VSS	-	-	-	-	-	-	-	-	-	接地
-	-	-	-	-	-	10	NC	-	-	-	-	-	无连接
-	-	-	-	-	-	11	NC	-	-	-	-	-	无连接
11	P3.0	10	P3.0	11	P3.0	12	P3.0	-	tcpwm0_p[0]	scb1_uart_rx[0]	scb1_i2c_scl[0]	scb1_spi_mosi[0]	端口 3 引脚 0: gpio, lcd, csd, pwm, scb1
12	P3.1	11	P3.1	12	P3.1	13	P3.1	-	tcpwm0_n[0]	scb1_uart_tx[0]	scb1_i2c_sda[0]	scb1_spi_miso[0]	端口 3 引脚 1: gpio, lcd, csd, pwm, scb1
13	P3.2	12	P3.2	13	P3.2	14	P3.2	-	tcpwm1_p[0]	-	swd_io[0]	scb1_spi_clk[0]	端口 3 引脚 2: gpio, lcd, csd, pwm, scb1, swd
-	-	-	-	-	-	15	VSSD	-	-	-	-	-	接地
14	P3.3	13	P3.3	14	P3.3	16	P3.3	-	tcpwm1_n[0]	-	swd_clk[0]	scb1_spi_ssel_0[0]	端口 3 引脚 3: gpio, lcd, csd, pwm, scb1, swd
15	P3.4	14	P3.4	-	-	17	P3.4	-	tcpwm2_p[0]	-	-	scb1_spi_ssel_1	端口 3 引脚 4: gpio, lcd, csd, pwm, scb1
16	P3.5	15	P3.5	-	-	18	P3.5	-	tcpwm2_n[0]	-	-	scb1_spi_ssel_2	端口 3 引脚 5: gpio, lcd, csd, pwm, scb1
17	P3.6	16	P3.6	-	-	19	P3.6	-	tcpwm3_p[0]	-	swd_io[1]	scb1_spi_ssel_3	端口 3 引脚 6: gpio, lcd, csd, pwm, scb1, swd
18	P3.7	17	P3.7	-	-	20	P3.7	-	tcpwm3_n[0]	-	swd_clk[1]	-	端口 3 引脚 7: gpio, lcd, csd, pwm, swd
19	VDDD	-	-	-	-	21	VDDD	-	-	-	-	-	数字供电, 1.8 - 5.5V
20	P4.0	18	P4.0	15	P4.0	22	P4.0	-	-	scb0_uart_rx	scb0_i2c_scl	scb0_spi_mosi	端口 4 引脚 0: gpio, lcd, csd, scb0
21	P4.1	19	P4.1	16	P4.1	23	P4.1	-	-	scb0_uart_tx	scb0_i2c_sda	scb0_spi_miso	端口 4 引脚 1: gpio, lcd, csd, scb0
22	P4.2	20	P4.2	17	P4.2	24	P4.2	csd_c_mod	-	-	-	scb0_spi_clk	端口 4 引脚 2: gpio, lcd, csd, scb0
23	P4.3	21	P4.3	18	P4.3	25	P4.3	csd_c_sh_tank	-	-	-	scb0_spi_ssel_0	端口 4 引脚 3: gpio, lcd, csd, scb0
-	-	-	-	-	-	26	NC	-	-	-	-	-	无连接
-	-	-	-	-	-	27	NC	-	-	-	-	-	无连接

44-TQFP		40-QFN		28-SSOP		48-TQFP		引脚备用功能					引脚描述
引脚	名称	引脚	名称	引脚	名称	引脚	名称	模拟	备用功能 1	备用功能 2	备用功能 3	备用功能 4	
24	P0.0	22	P0.0	19	P0.0	28	P0.0	comp1_inp	-	-	-	scb0_spi_ssel_1	端口 0 引脚 0: gpio, lcd, csd, scb0, comp
25	P0.1	23	P0.1	20	P0.1	29	P0.1	comp1_inn	-	-	-	scb0_spi_ssel_2	端口 0 引脚 1: gpio, lcd, csd, scb0, comp
26	P0.2	24	P0.2	21	P0.2	30	P0.2	comp2_inp	-	-	-	scb0_spi_ssel_3	端口 0 引脚 2: gpio, lcd, csd, scb0, comp
27	P0.3	25	P0.3	22	P0.3	31	P0.3	comp2_inn	-	-	-	-	端口 0 引脚 3: gpio, lcd, csd, comp
28	P0.4	26	P0.4	-	-	32	P0.4	-	-	scb1_uart_rx[1]	scb1_i2c_sel[1]	scb1_spi_mosi[1]	端口 0 引脚 4: gpio, lcd, csd, scb1
29	P0.5	27	P0.5	-	-	33	P0.5	-	-	scb1_uart_tx[1]	scb1_i2c_sda[1]	scb1_spi_miso[1]	端口 0 引脚 5: gpio, lcd, csd, scb1
30	P0.6	28	P0.6	23	P0.6	34	P0.6	-	ext_clk	-	-	scb1_spi_clk[1]	端口 0 引脚 6: gpio, lcd, csd, scb1, ext_clk
31	P0.7	29	P0.7	24	P0.7	35	P0.7	-	-	-	wakeup	scb1_spi_ssel_0[1]	端口 0 引脚 7: gpio, lcd, csd, scb1, wakeup
32	XRES	30	XRES	25	XRES	36	XRES	-	-	-	-	-	芯片复位, 低电平有效
33	VCCD	31	VCCD	26	VCCD	37	VCCD	-	-	-	-	-	稳压供电, 连接到 1 μF 的电容或 1.8 V 的电压
-	-	-	-	-	-	38	VSSD	-	-	-	-	-	数字接地
34	VDDD	32	VDDD	27	VDD	39	VDDD	-	-	-	-	-	数字供电, 1.8 - 5.5V
35	VDDA	33	VDDA	27	VDD	40	VDDA	-	-	-	-	-	模拟供电, 1.8 ~ 5.5 V, 等于 VDDD
36	VSSA	34	VSSA	28	VSS	41	VSSA	-	-	-	-	-	模拟接地
37	P1.0	35	P1.0	1	P1.0	42	P1.0	ctb.oa0.inp	tcpwm2_p[1]	-	-	-	端口 1 引脚 0: gpio, lcd, csd, ctb, pwm
38	P1.1	36	P1.1	2	P1.1	43	P1.1	ctb.oa0.inm	tcpwm2_n[1]	-	-	-	端口 1 引脚 1: gpio, lcd, csd, ctb, pwm
39	P1.2	37	P1.2	3	P1.2	44	P1.2	ctb.oa0.out	tcpwm3_p[1]	-	-	-	端口 1 引脚 2: gpio, lcd, csd, ctb, pwm
40	P1.3	38	P1.3	-	-	45	P1.3	ctb.oa1.out	tcpwm3_n[1]	-	-	-	端口 1 引脚 3: gpio, lcd, csd, ctb, pwm
41	P1.4	39	P1.4	-	-	46	P1.4	ctb.oa1.inm	-	-	-	-	端口 1 引脚 4: gpio, lcd, csd, ctb
42	P1.5	-	-	-	-	47	P1.5	ctb.oa1.inp	-	-	-	-	端口 1 引脚 5: gpio, lcd, csd, ctb
43	P1.6	-	-	-	-	48	P1.6	ctb.oa0.inp_alt	-	-	-	-	端口 1 引脚 6: gpio, lcd, csd
44	P1.7/VREF	40	P1.7/VREF	4	P1.7/VREF	1	P1.7/VREF	ctb.oa1.inp_alt ext_vref	-	-	-	-	端口 1 引脚 7: gpio, lcd, csd, ext_ref

**备注:**

1. tcpwm\_p 和 tcpwm\_n 分别指 tcpwm 非反相和反相输出。
2. 引导 (重置) 完成后 P3.2 和 P3.3 为 SWD 引脚。

下面是 PSoC 4200 的引脚列表 (35-WLCSP)。

35-Ball CSP		引脚备用功能					引脚描述
引脚	名称	模拟	备用功能 1	备用功能 2	备用功能 3	备用功能 4	
D3	P2.2	sarmux.2	–	–	–	–	端口 2 引脚 2: gpio, lcd, csd, sarmux
E4	P2.3	sarmux.3	–	–	–	–	端口 2 引脚 3: gpio, lcd, csd, sarmux
E5	P2.4	sarmux.4	tcpwm0_p[1]	–	–	–	端口 2 引脚 4: gpio, lcd, csd, sarmux, pwm
E6	P2.5	sarmux.5	tcpwm0_n[1]	–	–	–	端口 2 引脚 5: gpio, lcd, csd, sarmux, pwm
E3	P2.6	sarmux.6	tcpwm1_p[1]	–	–	–	端口 2 引脚 6: gpio, lcd, csd, sarmux, pwm
E2	P2.7	sarmux.7	tcpwm1_n[1]	–	–	–	端口 2 引脚 7: gpio, lcd, csd, sarmux, pwm
E1	P3.0	–	tcpwm0_p[0]	scb1_uart_rx[0]	scb1_i2c_scl[0]	scb1_spi_mosi[0]	端口 3 引脚 0: gpio, lcd, csd, pwm, scb1
D2	P3.1	–	tcpwm0_n[0]	scb1_uart_tx[0]	scb1_i2c_sda[0]	scb1_spi_miso[0]	端口 3 引脚 1: gpio, lcd, csd, pwm, scb1
D1	P3.2	–	tcpwm1_p[0]	–	swd_io[0]	scb1_spi_clk[0]	端口 3 引脚 2: gpio, lcd, csd, pwm, scb1, swd
B7	VSS	–	–	–	–	–	接地
C1	P3.3	–	tcpwm1_n[0]	–	swd_clk[0]	scb1_spi_ssel_0[0]	端口 3 引脚 3: gpio, lcd, csd, pwm, scb1, swd
C2	P3.4	–	tcpwm2_p[0]	–	–	scb1_spi_ssel_1	端口 3 引脚 4: gpio, lcd, csd, pwm, scb1
B1	P4.0	–	–	scb0_uart_rx	scb0_i2c_scl	scb0_spi_mosi	端口 4 引脚 0: gpio, lcd, csd, scb0
B2	P4.1	–	–	scb0_uart_tx	scb0_i2c_sda	scb0_spi_miso	端口 4 引脚 1: gpio, lcd, csd, scb0
A2	P4.2	csd_c_mod	–	–	–	scb0_spi_clk	端口 4 引脚 2: gpio, lcd, csd, scb0
A1	P4.3	csd_c_sh_tank	–	–	–	scb0_spi_ssel_0	端口 4 引脚 3: gpio, lcd, csd, scb0
C3	P0.0	comp1_inp	–	–	–	scb0_spi_ssel_1	端口 0 引脚 0: gpio, lcd, csd, scb0, comp
A5	P0.1	comp1_inn	–	–	–	scb0_spi_ssel_2	端口 0 引脚 1: gpio, lcd, csd, scb0, comp
A4	P0.2	comp2_inp	–	–	–	scb0_spi_ssel_3	端口 0 引脚 2: gpio, lcd, csd, scb0, comp
A3	P0.3	comp2_inn	–	–	–	–	端口 0 引脚 3: gpio, lcd, csd, comp
B3	P0.4	–	–	scb1_uart_rx[1]	scb1_i2c_scl[1]	scb1_spi_mosi[1]	端口 0 引脚 4: gpio, lcd, csd, scb1
A6	P0.5	–	–	scb1_uart_tx[1]	scb1_i2c_sda[1]	scb1_spi_miso[1]	端口 0 引脚 5: gpio, lcd, csd, scb1
B4	P0.6	–	ext_clk	–	–	scb1_spi_clk[1]	端口 0 引脚 6: gpio, lcd, csd, scb1, ext_clk
B5	P0.7	–	–	–	wakeup	scb1_spi_ssel_0[1]	端口 0 引脚 7: gpio, lcd, csd, scb1, wakeup
B6	XRES	–	–	–	–	–	芯片复位, 低电平有效
A7	VCCD	–	–	–	–	–	稳压供电, 连接到 1 μF 的电容器或 1.8 V 的电压
C7	VDD	–	–	–	–	–	供电, 1.8 - 5.5V
C4	P1.0	ctb.oa0.inp	tcpwm2_p[1]	–	–	–	端口 1 引脚 0: gpio, lcd, csd, ctb, pwm
C5	P1.1	ctb.oa0.inm	tcpwm2_n[1]	–	–	–	端口 1 引脚 1: gpio, lcd, csd, ctb, pwm
C6	P1.2	ctb.oa0.out	tcpwm3_p[1]	–	–	–	端口 1 引脚 2: gpio, lcd, csd, ctb, pwm



35-Ball CSP		引脚备用功能					引脚说明
引脚	名称	模拟	备用功能 1	备用功能 2	备用功能 3	备用功能 4	
D7	P1.3	ctb.oa1.out	tcpwm3_n[1]	–	–	–	端口 1 引脚 3: gpio, lcd, csd, ctb, pwm
D4	P1.4	ctb.oa1.inm	–	–	–	–	端口 1 引脚 4: gpio, lcd, csd, ctb
D5	P1.5	ctb.oa1.inp	–	–	–	–	端口 1 引脚 5: gpio, lcd, csd, ctb
D6	P1.6	ctb.oa0.inp_alt	–	–	–	–	端口 1 引脚 6: gpio, lcd, csd
E7	P1.7/VR EF	ctb.oa1.inp_alt ext_vref	–	–	–	–	端口 1 引脚 7: gpio, lcd, csd, ext_ref

**引脚功能的说明如下：**

**VDDD:**模拟和数字部分的电源 (其中没有  $V_{DDA}$  引脚)。

**VDDA:**允许封装引脚的模拟  $V_{DD}$  引脚；否则短路连接  $V_{DDD}$ 。

**VSSA:**允许封装引脚的模拟接地引脚；否则短路连接  $V_{SS}$ 。

**VSS:**接地引脚。

**VCCD:**稳压数字电源(1.8 V  $\pm$ 5%)

引脚端口都可以作为 LCD 共模信号、LCD 段驱动、或 CSD 感应使用, 并且屏蔽引脚可以与 AMUXBUS A 或 B 相连, 或都作为固件或 DSI 信号可驱动的 GPIO 引脚使用。

支持以下封装: 48-pin TQFP, 44-pin TQFP, 40-pin QFN, 和 28-pin SSOP.

图 7.48-Pin TQFP 引脚分布

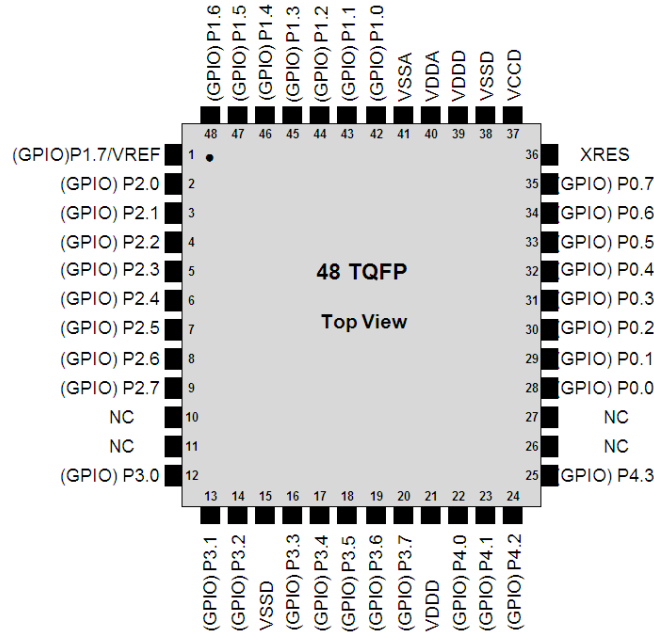


图 8.44-Pin TQFP 芯片的引脚分布

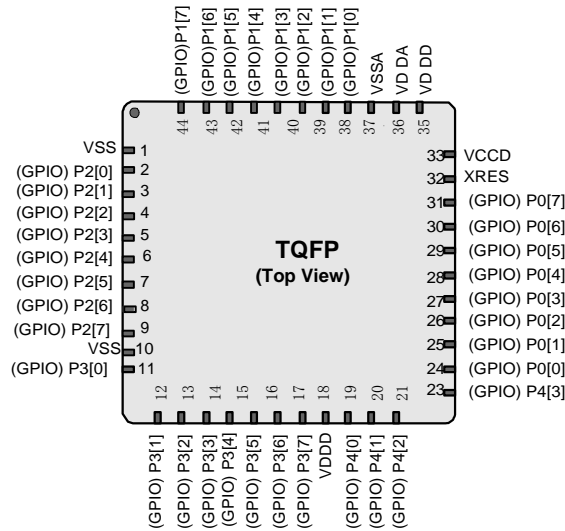


图 9.40-Pin QFN 引脚分布

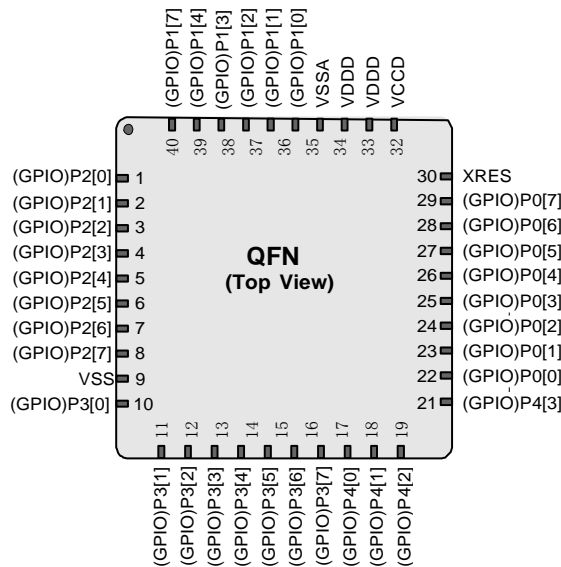


图 10.35-Ball WLCSP

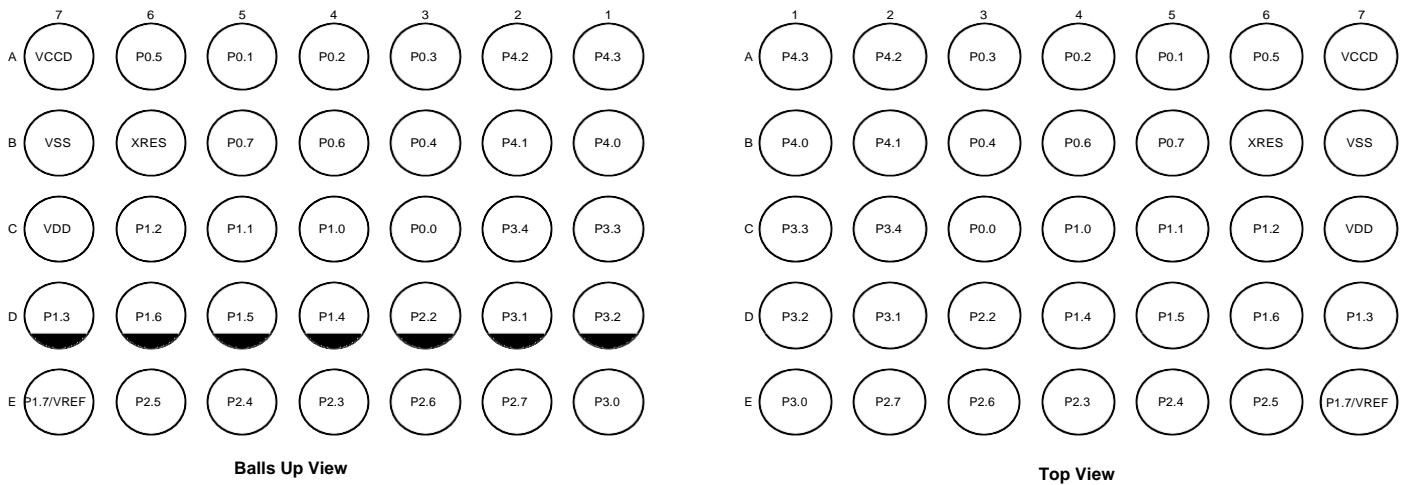
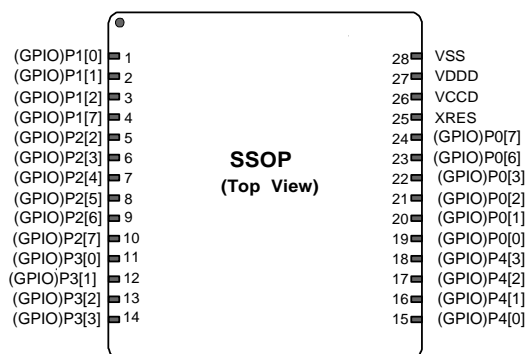


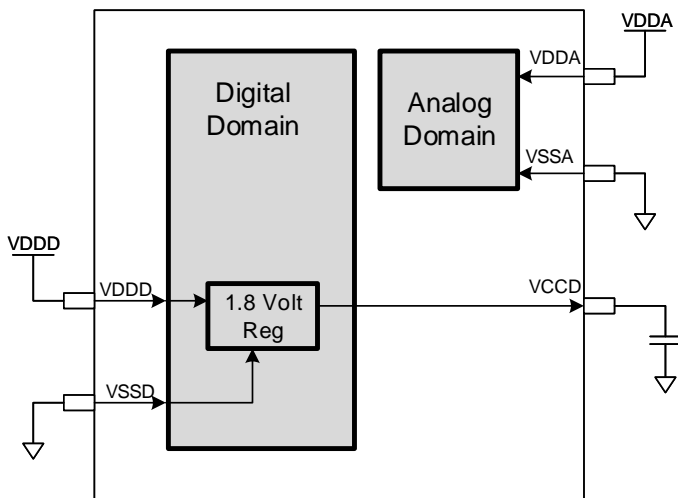
图 11.28-Pin SSOP 引脚分布



## 电源

下面的电源系统图显示了 PSoc 4200 的电源引脚最小设置情况。该系统具有一个处于活动模式的电压调节器，以用于数字电路。没有模拟电压调节器，模拟电路直接由  $V_{DDA}$  输入供电。深度睡眠模式和休眠 (降低供电电压和保留) 模式有独立调压器。带隙有一个独立的低噪声电压调节器。所有功能和电路都在 1.71 至 5.5 V 的供电电压范围内运行。

图 12.PSoC 4 电源



PSoc 4200 系列提供两种不同的电源操作模式：非稳压外部供电和稳压外部供电。

### 非稳压外部供电

在该模式下，PSoc 4200 由一个外部电源供电，它的电压范围为 1.8 V 至 5.5 V。此范围还用于电池供电操作，例如，芯片可以由一个电池系统供电，其电压从启动时的 3.5 V 降至 1.8 V。在此模式下，PSoc 4200 的内部电压调节器为内部逻辑供电，并且其  $V_{CCD}$  输出必须通过一个外部电容 (在 1 至 1.6  $\mu\text{F}$  范围内；X5R 陶瓷或性能更好的电容) 旁路接地。

必须同时短路  $V_{DDA}$  和  $V_{DDD}$ ；因此，也要同时短路  $V_{SSA}$  和  $V_{SS}$ 。 $V_{DDD}$  必须通过旁路电容连接到地，通常选用一个 1  $\mu\text{F}$  和一个 0.1  $\mu\text{F}$  的电容。请注意这仅仅是经验法则，对于非常重要的应用，PCB 布局，引线电感，和旁路寄生电容应当被模拟设计，以获得最优的旁路。

图 13.48-TQFP 封装示例

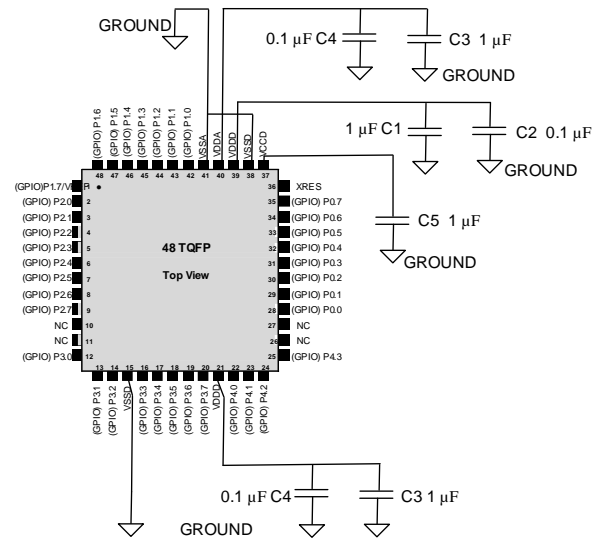
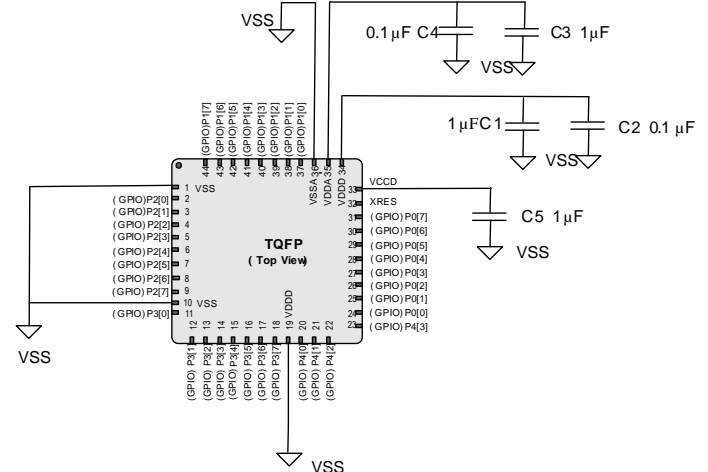


图 14.44-TQFP 封装示例



电源	旁路电容
$V_{DDD}-V_{SS}$	每个引脚上安装 0.1 $\mu\text{F}$ 的陶瓷电容 (C2、C6)，加上一个 1 ~ 10 $\mu\text{F}$ 的大容量电容 (C1)。总的电容可能大于 10 $\mu\text{F}$ 。
$V_{DDA}-V_{SSA}$	0.1 $\mu\text{F}$ 陶瓷电容 (C4)。加上 1 $\mu\text{F}$ 到 10 $\mu\text{F}$ (C3) 大电容。总的电容可能大于 10 $\mu\text{F}$ 。
$V_{CCD}-V_{SS}$	1 $\mu\text{F}$ 陶瓷电容加在 $V_{CCD}$ 引脚 (C5)
$V_{REF}-V_{SSA}$ (可选)	通过一个大小为 1 $\mu\text{F}$ 到 10 $\mu\text{F}$ 的电容可以旁路内部带隙。总的电容可能大于 10 $\mu\text{F}$ 。

查看数据手册要求的旁路电容值是一个好的习惯,特别是工作电压和直流偏置规范。对于一些电容,如果直流偏置电压 ( $V_{DDA}$ 、

$V_{DDD}$  或  $V_{CCD}$ ) 占额定工作电压的比例比较大,那么实际电容则明显降低。上电时,  $V_{DDA}$  必须等于或高于  $V_{DDD}$ 。

图 15.40-Pin QFN 引脚示例

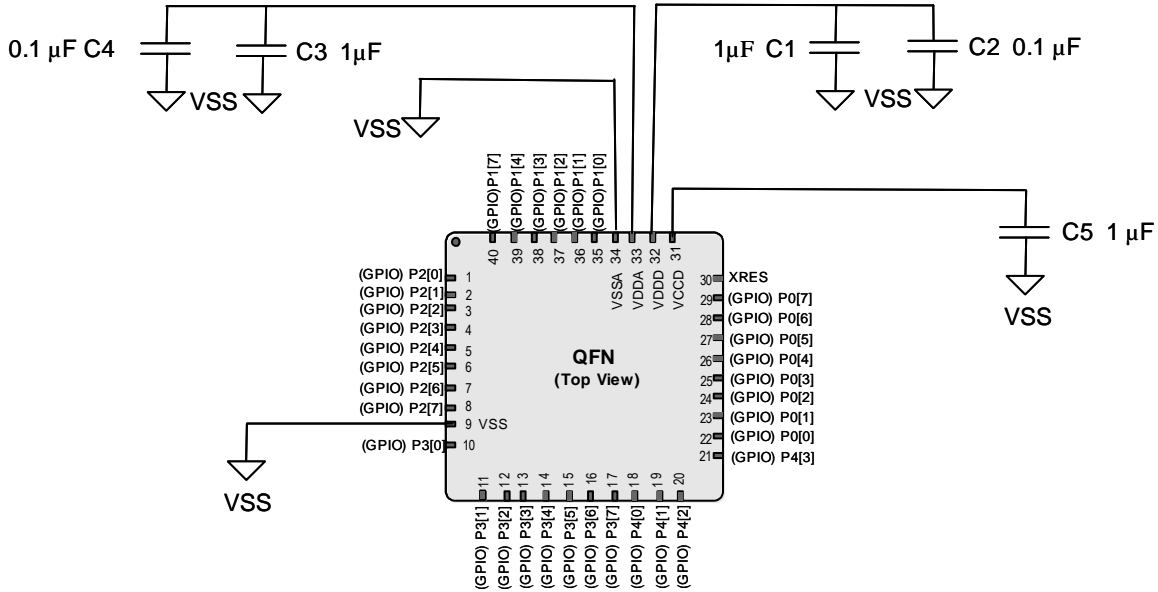
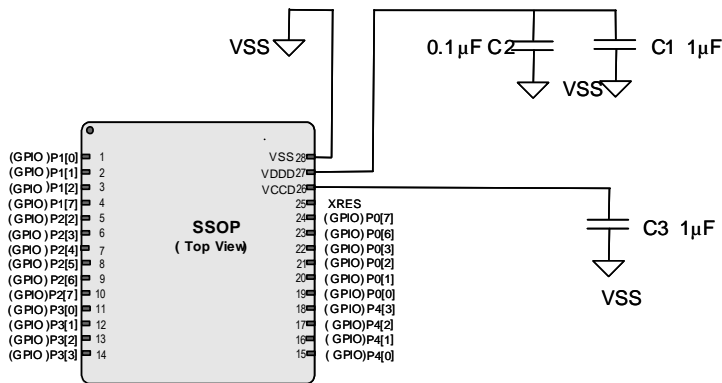


图 16.28-SSOP 示例



### 稳压外部电源

在该模式下, PSoC 4200 由一个外部电源供电, 它的范围为 1.71V 至 1.89V ( $1.8 \pm 5\%$ ); 请注意, 此范围必须包括了电源纹波。在该模式中, 同时短路并旁路  $V_{CCD}$ 、 $V_{DDA}$  和  $V_{DDD}$  引脚。内部稳压器在固件中被禁用。



## 开发支持

PSoC 4200 系列具有一系列丰富的文档、开发工具和在线资源,能够在开发过程中为您提供帮助。更多有关信息,请访问 [www.cypress.com/go/psoc4](http://www.cypress.com/go/psoc4) 网站。

### 文档

通过 PSoC 4200 系列的文档,您可以快速找到问题的答案。本节列出了部分关键文档。

**软件用户指南:** 介绍了有关使用 PSoC Creator 的步骤。软件用户手册描述了 PSoC Creator 的构建流程、如何将源控件与 PSoC Creator 结合使用等信息。

**组件数据手册:** PSoC 非常灵活,在长时间投入生产后依然可以创建新的外设(组件)。组件数据表提供了选择和使用特定组件所需的全部信息,其中包括功能说明、API 文档、示例代码以及交流/直流规范。

**应用笔记:** PSoC 应用笔记深入讨论了 PSoC 的特定应用,例如直流无刷电机控制

和片上滤波。除了应用笔记文档之外,应用笔记通常还包括示例项目。

**技术参考手册:** 技术参考手册 (TRM) 包含使用 PSoC 器件所需的全部技术细节,其中包括所有 PSoC 寄存器的完整说明。可在 [www.cypress.com/psoc4](http://www.cypress.com/psoc4) 网站上的文档部分获取技术参考手册 (TRM)。

### 在线支持

除了印刷文档之外,您还可以随时通过赛普拉斯 PSoC 论坛,与世界各地的 PSoC 用户和专家进行交流。

### 工具

PSoC 4200 系列具备工业标准的内核、编程和调试接口,是开发工具体系的一个组成部分。有关易于使用的创新型 PSoC Creator IDE、所支持的第三方编译器、编程器、调试器和开发工具包的最新信息,请访问我们的网站:

[www.cypress.com/go/psoccreator](http://www.cypress.com/go/psoccreator)。

## 电气规范

### 最大绝对额定值

**表 1.最大绝对额定值** <sup>[1]</sup>

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID1	V <sub>DDD_ABS</sub>	相对于 V <sub>SSD</sub> 的数字供电电压	-0.5	-	6	V	绝对最大值
SID2	V <sub>CCD_ABS</sub>	相对于 V <sub>SSD</sub> 的直接数字内核输入电压	-0.5	-	1.95	V	绝对最大值
SID3	V <sub>GPIO_ABS</sub>	GPIO 电压	-0.5	-	V <sub>DD</sub> +0.5	V	绝对最大值
SID4	I <sub>GPIO_ABS</sub>	每个 GPIO 上的最大电流	-25	-	25	mA	绝对最大值
SID5	I <sub>GPIO_injection</sub>	GPIO 注入电流, V <sub>IH</sub> > V <sub>DDD</sub> 时, 该值最大; V <sub>IL</sub> < V <sub>SS</sub> 时, 该值最小	-0.5	-	0.5	mA	绝对最大值, 每个引脚插入电流
BID44	ESD_HBM	人体静电放电模型	2200	-	-	V	
BID45	ESD_CDM	充电器件的静电放电模型	500	-	-	V	
BID46	LU	栓锁的引脚电流	-200	-	200	mA	

### 器件级规范

除非另有说明, 否则所有规范的适用条件为: -40 °C ≤ TA ≤ 105 °C 和 TJ ≤ 125 °C; 且电压范围为 1.71 V ~ 5.5 V。

**表 2.直流规范**

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID53	V <sub>DD</sub>	电源输入电压 (V <sub>DDA</sub> = V <sub>DDD</sub> = V <sub>DD</sub> )	1.8	-	5.5	V	稳压器使能
SID255	V <sub>DDD</sub>	电源输入电压未稳压	1.71	1.8	1.89	V	内部未稳压电源
SID54	V <sub>CCD</sub>	输出电压 (内核逻辑)	-	1.8	-	V	
SID55	CEFC	外部稳压器电压旁路	1	1.3	1.6	μF	X5R 的陶瓷或性能更好
SID56	CEXC	电源去耦合电容	-	1	-	μF	X5R 的陶瓷或性能更好
<b>活动模式, V<sub>DD</sub> = 1.71 V 到 5.5 V。典型值的测量条件为 V<sub>DD</sub> = 3.3 V</b>							
SID9	IDD4	从闪存执行; CPU 的运行速率为 6 MHz	-	-	2.8	mA	
SID10	IDD5	从闪存执行; CPU 的运行速率为 6 MHz	-	2.2	-	mA	T = 25 °C
SID12	IDD7	从闪存执行; CPU 的运行速率为 12 MHz	-	-	4.2	mA	
SID13	IDD8	从闪存执行; CPU 的运行速率为 12 MHz	-	3.7	-	mA	T = 25 °C
SID16	IDD11	从闪存执行; CPU 的运行速率为 24 MHz	-	6.7	-	mA	T = 25 °C
SID17	IDD12	从闪存执行; CPU 的运行速率为 24 MHz	-	-	7.2	mA	
SID19	IDD14	从闪存执行; CPU 的运行速率为 48 MHz	-	12.8	-	mA	T = 25 °C
SID20	IDD15	从闪存执行; CPU 的运行速率为 48 MHz	-	-	13.8	mA	
<b>睡眠模式, V<sub>DD</sub> = 1.7V 到 5.5V</b>							
SID25	IDD20	I <sup>2</sup> C 唤醒, WDT 和比较器打开。6 MHz.	-	1.3	1.8	mA	V <sub>DD</sub> = 1.71 to 5.5 V.
SID25A	IDD20A	I <sup>2</sup> C 唤醒, WDT 和比较器打开。12 MHz	-	1.7	2.2	mA	V <sub>DD</sub> = 1.71 to 5.5 V.

#### 注意

1. 使用高于表 1 所列的最大绝对值可能会给器件造成永久性损害。长期使用最大绝对值会影响器件的可靠性。最大存放温度是 150°C, 符合 JEDEC JESD22-A103 — 高温存放使用寿命标准。如果采用的值低于最大绝对值但高于正常值, 则器件不能正常工作。

**表 2. 直流规范 (续)**

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
<b>深度睡眠模式, V<sub>DD</sub> = 1.8 V 到 3.6 V (电压调节器打开)</b>							
SID31	IDD26	I <sup>2</sup> C 唤醒, WDT 打开。	-	1.3	-	μA	T = 25 °C
SID32	IDD27	I <sup>2</sup> C 唤醒, WDT 打开。	-	-	45	μA	T = 85 °C
<b>深度睡眠模式, V<sub>DD</sub> = 3.6 V 到 5.5 V</b>							
SID34	IDD29	I <sup>2</sup> C 唤醒, WDT 打开。	-	1.5	15	μA	Typ. at 25 °C. Max at 85 °C
<b>深度睡眠模式, V<sub>DD</sub> = 1.71 V 到 1.89 V (电压调节器旁路)</b>							
SID37	IDD32	I <sup>2</sup> C 唤醒, WDT 打开。	-	1.7	-	μA	T = 25 °C
SID38	IDD33	I <sup>2</sup> C 唤醒, WDT 打开。	-	-	60	μA	T = 85 °C
<b>深度睡眠模式, +105 °C</b>							
SID33Q	IDD28Q	I <sup>2</sup> C 唤醒, WDT 打开。稳压器关闭。	-	-	135	μA	V <sub>DD</sub> = 1.71 to 1.89
SID34Q	IDD29Q	I <sup>2</sup> C 唤醒, WDT 打开。	-	-	180	μA	V <sub>DD</sub> = 1.8 to 3.6
SID35Q	IDD30Q	I <sup>2</sup> C 唤醒, WDT 打开。	-	-	140	μA	V <sub>DD</sub> = 3.6 to 5.5
<b>休眠模式, V<sub>DD</sub> = 1.8 V 到 3.6 V (电压调节器打开)</b>							
SID40	IDD35	GPIO 和 复位 处于活动状态	-	150	-	nA	T = 25 °C
SID41	IDD36	GPIO 和 复位 处于活动状态	-	-	1000	nA	T = 85 °C
<b>休眠模式, V<sub>DD</sub> = 3.6 V 到 5.5 V</b>							
SID43	IDD38	GPIO 和 复位 处于活动状态	-	150	-	nA	T = 25 °C
<b>休眠模式, V<sub>DD</sub> = 1.71 V 到 1.89 V (电压调节器旁路)</b>							
SID46	IDD41	GPIO 和 复位 处于活动状态	-	150	-	nA	T = 25 °C
SID47	IDD42	GPIO 和 复位 处于活动状态	-	-	1000	nA	T = 85 °C
<b>休眠模式, +105 °C</b>							
SID42Q	IDD37Q	稳压器关闭	-	-	19.4	μA	V <sub>DD</sub> = 1.71 to 1.89
SID43Q	IDD38Q		-	-	17	μA	V <sub>DD</sub> = 1.8 to 3.6
SID44Q	IDD39Q		-	-	16	μA	V <sub>DD</sub> = 3.6 to 5.5
<b>停止模式</b>							
SID304	IDD43A	停止模式电流; V <sub>DD</sub> = 3.3 V	-	20	80	nA	Typ. at 25 °C. Max at 85 °C
<b>停止模式, +105 °C</b>							
SID304Q	IDD43AQ	停止模式电流; V <sub>DD</sub> = 3.6 V	-	-	5645	nA	
<b>XRES 电流</b>							
SID307	IDD_XR	触发 XRES 时的供电电流	-	2	5	mA	

**表 3. 交流规范**

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID48	F <sub>CPU</sub>	CPU 频率	DC	-	48	MHz	1.71 ≤ V <sub>DD</sub> ≤ 5.5
SID49	T <sub>SLEEP</sub>	从睡眠模式唤醒	-	0	-	μs	出厂校准保证
SID50	T <sub>DEEPSLEEP</sub>	从深度睡眠模式唤醒	-	-	25	μs	24 MHz IMO. 出厂校准保证
SID51	T <sub>HIBERNATE</sub>	从休眠和停止模式唤醒	-	-	2	ms	出厂校准保证
SID52	T <sub>RESETWIDTH</sub>	外部复位脉冲宽度	1	-	-	μs	出厂校准保证

## GPIO

表 4.GPIO 直流规范

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID57	$V_{IH}^{[2]}$	输入电压高阈值	$0.7 \times V_{DDD}$	–	–	V	CMOS 输入
SID58	$V_{IL}$	输入电压低阈值	–	–	$0.3 \times V_{DDD}$	V	CMOS 输入
SID241	$V_{IH}^{[2]}$	LVTTL input, $V_{DDD} < 2.7 V$	$0.7 \times V_{DDD}$	–	–	V	
SID242	$V_{IL}$	LVTTL input, $V_{DDD} < 2.7 V$	–	–	$0.3 \times V_{DDD}$	V	
SID243	$V_{IH}^{[2]}$	LVTTL input, $V_{DDD} \geq 2.7 V$	2.0	–	–	V	
SID244	$V_{IL}$	LVTTL input, $V_{DDD} \geq 2.7 V$	–	–	0.8	V	
SID59	$V_{OH}$	输出电压高电平	$V_{DDD}$ -0.6	–	–	V	$I_{OH} = 4 \text{ mA}$ at 3-V $V_{DDD}$
SID60	$V_{OH}$	输出电压高电平	$V_{DDD}$ -0.5	–	–	V	$I_{OH} = 1 \text{ mA}$ at 1.8-V $V_{DDD}$
SID61	$V_{OL}$	输出电压低电平	–	–	0.4	V	$I_{OL} = 4 \text{ mA}$ at 1.8-V $V_{DDD}$
SID62	$V_{OL}$	输出电压低电平	–	–	0.6	V	$I_{OL} = 8 \text{ mA}$ at 3-V $V_{DDD}$
SID62A	$V_{OL}$	输出电压低电平	–	–	0.4	V	$I_{OL} = 3 \text{ mA}$ at 3-V $V_{DDD}$
SID63	$R_{PULLUP}$	上拉电阻	3.5	5.6	8.5	k $\Omega$	
SID64	$R_{PULLDOWN}$	下拉电阻	3.5	5.6	8.5	k $\Omega$	
SID65	$I_{IL}$	输入泄漏电流 (绝对值)	–	–	2	nA	25 °C, $V_{DDD} = 3.0 V$
SID65A	$I_{IL\_CTBM}$	CTBM 引脚输入泄漏电流 (绝对值)	–	–	4	nA	
SID66	$C_{IN}$	输入电容	–	–	7	pF	
SID67	$V_{HYSTTL}$	输入迟滞 LVTTL	25	40	–	mV	$V_{DDD} \geq 2.7 V$ . 特性描述保证
SID68	$V_{HYSCMOS}$	输入迟滞 CMOS	$0.05 \times V_{DDD}$	–	–	mV	出厂校准保证
SID69	$I_{DIODE}$	通过保护二极管到达 $V_{DD}/V_{SS}$ 的导通电流	–	–	100	$\mu A$	出厂校准保证
SID69A	$I_{TOT\_GPIO}$	芯片的最大拉电流或灌电流总值	–	–	200	mA	出厂校准保证

## 注意

- $V_{IH}$  禁止超过  $V_{DDD} + 0.2 V$ .

**表 5.GPIO 交流规范**

(出厂校准保证)

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID70	T <sub>RISEF</sub>	快速强驱动模式下的上升时间	2	–	12	ns	3.3-V V <sub>DDD</sub> , Cload = 25 pF
SID71	T <sub>FALLF</sub>	快速强驱动模式下的下降时间	2	–	12	ns	3.3-V V <sub>DDD</sub> , Cload = 25 pF
SID72	T <sub>RISES</sub>	慢速强驱动模式下的上升时间	10	–	60	ns	3.3-V V <sub>DDD</sub> , Cload = 25 pF
SID73	T <sub>FALLS</sub>	慢速强驱动模式下的下降时间	10	–	60	ns	3.3-V V <sub>DDD</sub> , Cload = 25 pF
SID74	F <sub>GPIOOUT1</sub>	GPIO Fout; 3.3 V ≤ V <sub>DDD</sub> ≤ 5.5 V. Fast 强驱动模式	–	–	33	MHz	90/10%, 25-pF 负载, 60/40 占空比
SID75	F <sub>GPIOOUT2</sub>	GPIO Fout; 1.7 V ≤ V <sub>DDD</sub> ≤ 3.3 V. Fast 强驱动模式	–	–	16.7	MHz	90/10%, 25-pF 负载, 60/40 占空比
SID76	F <sub>GPIOOUT3</sub>	GPIO Fout; 3.3 V ≤ V <sub>DDD</sub> ≤ 5.5 V. Slow 强驱动模式	–	–	7	MHz	90/10%, 25-pF 负载, 60/40 占空比
SID245	F <sub>GPIOOUT4</sub>	GPIO Fout; 1.7 V ≤ V <sub>DDD</sub> ≤ 3.3 V. Slow 强驱动模式	–	–	3.5	MHz	90/10%, 25-pF 负载, 60/40 占空比
SID246	F <sub>GPIOIN</sub>	GPIO 输入工作频率; 1.71 V ≤ V <sub>DDD</sub> ≤ 5.5 V	–	–	48	MHz	90/10% V <sub>IO</sub>

XRES

**表 6.XRES 直流规范**

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID77	V <sub>IH</sub>	输入电压高阈值	0.7 × V <sub>DDD</sub>	–	–	V	CMOS 输入
SID78	V <sub>IL</sub>	输入电压低阈值	–	–	0.3 × V <sub>DDD</sub>	V	CMOS 输入
SID79	R <sub>PULLUP</sub>	上拉电阻	3.5	5.6	8.5	kΩ	
SID80	C <sub>IN</sub>	输入电容	–	3	–	pF	
SID81	V <sub>HYSXRES</sub>	输入电压迟滞	–	100	–	mV	出厂校准保证
SID82	I <sub>DIODE</sub>	通过保护二极管到达 V <sub>DDD</sub> /V <sub>SS</sub> 的导通电流	–	–	100	μA	出厂校准保证

**表 7.XRES 交流规范**

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID83	T <sub>RESETWIDTH</sub>	复位脉冲宽度	1	–	–	μs	出厂校准保证



**模拟外设**
*Opamp*
**表 8. 运算放大器规范**

(由出厂校准保证)

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
	$I_{DD}$	运算放大器模块电流无负载	-	-	-	-	
SID269	$I_{DD\_HI}$	功耗 = 高	-	1100	1850	$\mu A$	
SID270	$I_{DD\_MED}$	功耗 = 中	-	550	950	$\mu A$	
SID271	$I_{DD\_LOW}$	功耗 = 低	-	150	350	$\mu A$	
	GBW	负载 = 20 pF, 0.1 mA. $V_{DDA} = 2.7 V$	-	-	-	-	
SID272	GBW_HI	功耗 = 高	6	-	-	MHz	
SID273	GBW_MED	功耗 = 中	4	-	-	MHz	
SID274	GBW_LO	功耗 = 低	-	1	-	MHz	
	$I_{OUT\_MAX}$	$V_{DDA} \geq 2.7 V$ , 500 mV 轨道电压	-	-	-	-	
SID275	$I_{OUT\_MAX\_HI}$	功耗 = 高	10	-	-	mA	
SID276	$I_{OUT\_MAX\_MID}$	功耗 = 中	10	-	-	mA	
SID277	$I_{OUT\_MAX\_LO}$	功耗 = 低	-	5	-	mA	
	$I_{OUT}$	$V_{DDA} = 1.71 V$ , 500 mV 轨道电压	-	-	-	-	
SID278	$I_{OUT\_MAX\_HI}$	功耗 = 高	4	-	-	mA	
SID279	$I_{OUT\_MAX\_MID}$	功耗 = 中	4	-	-	mA	
SID280	$I_{OUT\_MAX\_LO}$	功耗 = 低	-	2	-	mA	
SID281	$V_{IN}$	电荷泵打开, $V_{DDA} \geq 2.7 V$	-0.05	-	$V_{DDA} - 0.2$	V	
SID282	$V_{CM}$	电荷泵打开, $V_{DDA} \geq 2.7 V$	-0.05	-	$V_{DDA} - 0.2$	V	
	$V_{OUT}$	$V_{DDA} \geq 2.7 V$	-	-	-	-	
SID283	$V_{OUT\_1}$	功耗 = 高, $I_{load} = 10 mA$	0.5	-	$V_{DDA} - 0.5$	V	
SID284	$V_{OUT\_2}$	功耗 = 高, $I_{load} = 1 mA$	0.2	-	$V_{DDA} - 0.2$	V	
SID285	$V_{OUT\_3}$	功耗 = 中, $I_{load} = 1 mA$	0.2	-	$V_{DDA} - 0.2$	V	
SID286	$V_{OUT\_4}$	功耗 = 低, $I_{load} = 0.1 mA$	0.2	-	$V_{DDA} - 0.2$	V	
SID288	$V_{OS\_TR}$	偏移电压, 校准后	1	$\pm 0.5$	1	mV	高功耗模式
SID288A	$V_{OS\_TR}$	偏移电压, 校准后	-	$\pm 1$	-	mV	中等功耗模式
SID288B	$V_{OS\_TR}$	偏移电压, 校准后	-	$\pm 2$	-	mV	低功耗模式
SID290	$V_{OS\_DR\_TR}$	偏移电压漂移, 校准后	-10	$\pm 3$	10	$\mu V/^\circ C$	高功耗模式 $T_A \leq 85^\circ C$
SID290Q	$V_{OS\_DR\_TR}$	偏移电压漂移, 校准后	15	$\pm 3$	15	$\mu V/^\circ C$	高功耗模式 $T_A \leq 105^\circ C$
SID290A	$V_{OS\_DR\_TR}$	偏移电压漂移, 校准后	-	$\pm 10$	-	$\mu V/^\circ C$	中等功耗模式
SID290B	$V_{OS\_DR\_TR}$	偏移电压漂移, 校准后	-	$\pm 10$	-	$\mu V/^\circ C$	低功耗模式
SID291	CMRR	DC	70	80	-	dB	$V_{DDD} = 3.6 V$
SID292	PSRR	工作频率为 1 kHz, 纹波电压 = 100	70	85	-	dB	$V_{DDD} = 3.6 V$
	噪声		-	-	-	-	
SID293	$V_{N1}$	参考输入, 1 Hz - 1 GHz, 功耗 = 高	-	94	-	$\mu V_{rms}$	
SID294	$V_{N2}$	参考输入, 1 kHz, 功耗 = 高	-	72	-	nV/rtHz	
SID295	$V_{N3}$	参考输入, 10kHz, 功耗 = 高	-	28	-	nV/rtHz	

**表 8. 运算放大器规范**  
 (由出厂校准保证) (续)

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID296	$V_{N4}$	参考输入, 100kHz, 功耗 = 高	–	15	–	nV/rtHz	
SID297	Cload	稳定输出模式下的最大负载。Cload = 50 pF 时满足性能规范	–	–	125	pF	
SID298	Slew_rate	Cload = 50 pF, 功耗 = 高, $V_{DDA} \geq 2.7$ V	6	–	–	V/ $\mu$ s	
SID299	T_op_wake	从禁用到启用的时间, 无外部 RC 电路	–	300	–	$\mu$ s	
SID299A	OL_GAIN	开环路增益	–	90	–	dB	(设计保证)
	Comp_mode	比较器模式; 50 mV 驱动, Trise = Tfall (近似值)	–	–	–		
SID300	T <sub>PD1</sub>	响应时间; 功耗 = 高	–	150	–	ns	
SID301	T <sub>PD2</sub>	响应时间; 功耗 = 中	–	400	–	ns	
SID302	T <sub>PD3</sub>	响应时间; 功耗 = 低	–	2000	–	ns	
SID303	Vhyst_op	Hysteresis	–	10	–	mV	

**比较器**
**表 9. 比较器直流规范**

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID85	$V_{\text{OFFSET2}}$	输入偏移电压, 共用模式电压范围从 0 到 $V_{DD-1}$	–	–	$\pm 4$	mV	
SID85A	$V_{\text{OFFSET3}}$	输入偏移电压超低功耗模式 ( $V_{DDD} \geq 2.2$ V for Temp < 0 °C, $V_{DDD} \geq 1.8$ V for Temp > 0 °C)	–	$\pm 12$	–	mV	
SID86	$V_{\text{HYST}}$	使能时发送迟滞, 共用模式电压范围从 0 到 $V_{DD-1}$	–	10	35	mV	出厂校准保证
SID87	$V_{\text{ICM1}}$	正常模式下的共模输入电压	0	–	$V_{DDD} - 0.1$	V	模式 1 和 2
SID247	$V_{\text{ICM2}}$	低功耗模式中输入共用模式电压 ( $V_{DDD} \geq 2.2$ V for Temp < 0 °C, $V_{DDD} \geq 1.8$ V for Temp > 0 °C)	0	–	$V_{DDD}$	V	
SID247A	$V_{\text{ICM3}}$	超低功耗模式下的共模输入电压	0	–	$V_{DDD} - 1.15$	V	
SID88	CMRR	共模抑制比	50	–	–	dB	$V_{DDD} \geq 2.7$ V. 特性描述保证
SID88A	CMRR	共模抑制比	42	–	–	dB	$V_{DDD} < 2.7$ V. 特性描述保证
SID89	$I_{\text{CMP1}}$	模块电流, 正常模式	–	–	400	$\mu$ A	出厂校准保证
SID248	$I_{\text{CMP2}}$	模块电流, 低功耗模式	–	–	100	$\mu$ A	出厂校准保证
SID259	$I_{\text{CMP3}}$	模块电流, 超低功耗模式 ( $V_{DDD} \geq 2.2$ V for Temp < 0 °C, $V_{DDD} \geq 1.8$ V for Temp > 0 °C)	–	6	28	$\mu$ A	出厂校准保证

**表 9.比较器直流规范 (续)**

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID90	Z <sub>CMP</sub>	比较器直流输入阻抗	35	–	–	MΩ	出厂校准保证

**表 10.比较器交流规范**

(出厂校准保证)

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID91	T <sub>RESP1</sub>	响应时间, 正常模式	–	–	110	ns	过载值为 50 mV
SID258	T <sub>RESP2</sub>	响应时间, 低功耗模式	–	–	200	ns	过载值为 50 mV
SID92	T <sub>RESP3</sub>	响应时间, 超低功耗模式(V <sub>DDD</sub> ≥ 2.2V for Temp < 0 °C, V <sub>DDD</sub> ≥ 1.8 V for Temp > 0 °C)	–	–	15	μs	过载值为 200 mV

**温度传感器**
**表 11.温度传感器规范**

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID93	T <sub>SENSACC</sub>	温度传感器精度	-5	±1	+5	°C	-40 to +85 °C

**SAR ADC**
**表 12.SAR ADC 直流规范**

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID94	A_RES	分辨率	–	–	12	bits	
SID95	A_CHNIS_S	通路数目-单端接地	–	–	8		8 个全速通道
SID96	A-CHNKS_D	通道数量 (差分)	–	–	4		差分输入使用相邻 I/O
SID97	A-MONO	单调性	–	–	–		Yes.基于器件特性
SID98	A_GAINERR	增益误差	–	–	±0.1	%	使用外部参考 出厂校准保证
SID99	A_OFFSET	输入偏移电压	–	–	2	mV	使用 1 V V <sub>REF</sub> 测量。 出厂校准保证
SID100	A_ISAR	电流消耗	–	–	1	mA	
SID101	A_VINS	输入电压范围-单端接地	V <sub>SS</sub>	–	V <sub>DDA</sub>	V	基于器件特性
SID102	A_VIND	输入电压范围-差分	V <sub>SS</sub>	–	V <sub>DDA</sub>	V	基于器件特性
SID103	A_INRES	输入电阻	–	–	2.2	KΩ	基于器件特性
SID104	A_INCAP	输入电容	–	–	10	pF	基于器件特性
SID106	A_PSRR	电源抑制比	70	–	–	dB	
SID107	A_CMRR	共模抑制比	66	–	–	dB	在 1 V 电压下测量

**表 12.SAR ADC 直流规范 (续)**

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID111	A_INL	积分非线性	-1.7	-	+2	LSB	$V_{DD} = 1.71$ to 5.5, 1 Msps, $V_{ref} = 1$ to 5.5.
SID111A	A_INL	积分非线性	-1.5	-	+1.7	LSB	$V_{DDD} = 1.71$ to 3.6, 1 Msps, $V_{ref} = 1.71$ to $V_{DDD}$ .
SID111B	A_INL	积分非线性	-1.5	-	+1.7	LSB	$V_{DDD} = 1.71$ to 5.5, 500 Ksps, $V_{ref} = 1$ to 5.5.
SID112	A_DNL	差分非线性	-1	-	+2.2	LSB	$V_{DDD} = 1.71$ to 5.5, 1 Msps, $V_{ref} = 1$ to 5.5.
SID112A	A_DNL	差分非线性	-1	-	+2	LSB	$V_{DDD} = 1.71$ to 3.6, 1 Msps, $V_{ref} = 1.71$ to $V_{DDD}$ .
SID112B	A_DNL	差分非线性	-1	-	+2.2	LSB	$V_{DDD} = 1.71$ to 5.5, 500 Ksps, $V_{ref} = 1$ to 5.5.

**表 13.SAR ADC 交流规范**

(出厂校准保证)

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID108	A_SAMP_1	使用外部参考旁路电容时的采样率	-	-	1	Msp	
SID108A	A_SAMP_2	不使用旁路电容时的采样率。参考电压 = $V_{DD}$	-	-	500	Ksps	
SID108B	A_SAMP_3	不使用旁路电容时的采样率。内部参考	-	-	100	Ksps	
SID109	A_SNR	信号对噪声和失真比 (SINAD)	65	-	-	dB	$F_{IN} = 10$ kHz
SID113	A_THD	总谐波失真	-	-	-65	dB	$F_{IN} = 10$ kHz.

CSD

**表 14.CSD 规范**

Spec ID#	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID.CSD#16	IDAC1IDD	IDAC1 (8-bits) 模块电流	-	-	1125	μA	
SID.CSD#17	IDAC2IDD	IDAC2 (7-bits) 模块电流	-	-	1125	μA	
SID308	VCSD	工作电压	1.71	-	5.5	V	
SID308A	Vcompidac	用于 S0 的 IDAC 电压符合范围	0.8	-	VDD-0.8	V	
SID309	IDAC1	8 位分辨率的差分非线性 (DNL)	-1	-	1	LSB	
SID310	IDAC1	8 位分辨率的积分非线性 (INL)	-3	-	3	LSB	
SID311	IDAC2	7 位分辨率的差分非线性 (DNL)	-1	-	1	LSB	
SID312	IDAC2	7 位分辨率的积分非线性 (INL)	-3	-	3	LSB	
SID313	SNR	手指触摸产生的信号与噪声的比率, 灵敏度为 0.1 pF	5	-	-	Ratio	电容值范围 = 9 pF ~ 35 pF, 灵敏度 = 0.1 pF。
SID314	IDAC1_CRT1	高范围的 IDAC1 (8 位) 输出电流	-	612	-	uA	
SID314A	IDAC1_CRT2	低范围的 IDAC1 (8 位) 输出电流	-	306	-	uA	
SID315	IDAC2_CRT1	高范围的 IDAC2 (7 位) 输出电流	-	304.8	-	uA	
SID315A	IDAC2_CRT2	低范围的 IDAC2 (7 位) 输出电流	-	152.4	-	uA	
SID320	IDACOFFSET	所有零输入	-	-	±1	LSB	
SID321	IDACGAIN	全量程错误抵消偏移	-	-	±10	%	
SID322	IDACMISMATCH	各 IDAC 之间的不一致性	-	-	7	LSB	
SID323	IDACSET8	8 位 IDAC 达到 0.5 LSB 所需的建立时间	-	-	10	μs	全量程跃变。无外部负载。
SID324	IDACSET7	7 位 IDAC 达到 0.5 LSB 所需的建立时间	-	-	10	μs	全量程跃变。无外部负载。
SID325	CMOD	外部调制电容	-	2.2	-	nF	5 V 的额定电压, X7R 或 NP0 Cap。

**数字外设**

下列规范适用于定时器模式的定时器 / 计数器 / PWM 外设。

定时器/计数器/PWM

**表 15.TCPWM 规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID.TCPWM.1	ITCPWM1	频率为 3 MHz 时的模块电流消耗	-	-	45	μA	所有模式 (定时器/计数器/PWM)
SID.TCPWM.2	ITCPWM2	频率为 12 MHz 时的模块电流消耗	-	-	155	μA	所有模式 (定时器/计数器/PWM)
SID.TCPWM.2A	ITCPWM3	频率为 48 MHz 时的模块电流消耗	-	-	650	μA	所有模式 (定时器/计数器/PWM)
SID.TCPWM.3	TCPWMFREQ	工作频率	-	-	Fc	MHz	Fc max = Fcpu.最大值 = 24 MHz
SID.TCPWM.4	TPWMENEXT	所有触发事件的输入触发脉冲宽度	2/Fc	-	-	ns	根据选择的工作模式, 触发事件可以为: Stop、Start、Reload、Count、Capture 或 Kill。
SID.TCPWM.5	TPWMEXT	输出触发脉冲宽度	2/Fc	-	-	ns	上溢、下溢、和 CC (计数器等于比较值) 触发输出的最小可能宽度
SID.TCPWM.5A	TCRES	计数器分辨率	1/Fc	-	-	ns	连续计数间的最短时间
SID.TCPWM.5B	PWMRES	PWM 分辨率	1/Fc	-	-	ns	PWM 输出的最小脉宽
SID.TCPWM.5C	QRES	正交输入的分辨率	1/Fc	-	-	ns	正交相位输入的最小脉冲宽度。

I<sup>2</sup>C

**表 16.固定 I<sup>2</sup>C 直流规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID149	I <sub>I2C1</sub>	频率为 100 kHz 时的模块电流消耗	-	-	50	μA	
SID150	I <sub>I2C2</sub>	频率为 400 kHz 时的模块电流消耗	-	-	135	μA	
SID151	I <sub>I2C3</sub>	1 Mbps 时的模块电流消耗	-	-	310	μA	
SID152	I <sub>I2C4</sub>	在深度睡眠模式下使能 I <sup>2</sup> C	-	-	1.4	μA	

**表 17.固定 I<sup>2</sup>C 交流规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID153	F <sub>I2C1</sub>	比特率	-	-	1	Mbps	

**LCD 直接驱动**
**表 18.LCD 直接驱动直流规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID154	$I_{LCDLOW}$	低功耗模式工作电流	-	5	-	$\mu A$	尺寸为 $16 \times 4$ 的小型段式显示屏; 频率 = 50 Hz
SID155	$C_{LCDCAP}$	各个 common/segment 驱动的 LCD 电容	-	500	5000	pF	设计保证
SID156	$LCD_{OFFSET}$	长期段偏移	-	20	-	mV	
SID157	$I_{LCDOP1}$	PWM 模式电流 5-V 偏压 24-MHz IMO.25 °C	-	0.6	-	mA	$32 \times 4$ 段. 50 Hz
SID158	$I_{LCDOP2}$	PWM 模式电流 3.3-V 偏压 24-MHz IMO.25 °C	-	0.5	-	mA	$32 \times 4$ 段. 50 Hz

**表 19.LCD 直接驱动交流规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID159	$F_{LCD}$	LCD 帧率	10	50	150	Hz	

**表 20.固定 UART 直流规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID160	$I_{UART1}$	100 Kbits/秒 时的模块电流消耗	-	-	55	$\mu A$	
SID161	$I_{UART2}$	1000 Kbits/秒 时的模块电流消耗	-	-	312	$\mu A$	

**表 21.固定 UART 交流规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位
SID162	$F_{UART}$	比特率	-	-	1	Mbps

**SPI 规范**
**表 22.固定 SPI 直流规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位
SID163	$I_{SPI1}$	1 Mbits/秒 时的模块电流消耗	-	-	360	$\mu A$
SID164	$I_{SPI2}$	4 Mbits/秒 时的模块电流消耗	-	-	560	$\mu A$
SID165	$I_{SPI3}$	8 Mbits/秒 时的模块电流消耗	-	-	600	$\mu A$

**表 23.固定 SPI 交流规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位
SID166	$F_{SPI}$	SPI 工作频率 (主设备; 6X 过采样)	-	-	8	MHz



**表 24.SPI 主设备的固定交流规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位
SID167	T <sub>DMO</sub>	SClock 驱动沿后的 MOSI 有效时间	–	–	15	ns
SID168	T <sub>DSI</sub>	SClock 捕获沿前的 MISO 有效时间全时钟、MISO 推迟采样	20	–	–	ns
SID169	T <sub>HMO</sub>	关于从设备捕获沿的先前 MOSI 数据保持时间	0	–	–	ns

**表 25.SPI 从设备的固定交流规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位
SID170	T <sub>DMI</sub>	SClock 捕获沿前的 MOSI 有效时间	40	–	–	ns
SID171	T <sub>DSO</sub>	SClock 驱动沿后的 MISO 有效时间	–	–	42 + 3 × T <sub>scbclk</sub>	ns
SID171A	T <sub>DSO_ext</sub>	在外部时钟中的 Sclock 驱动沿后的 MISO 有效时间。时钟模式	–	–	48	ns
SID172	T <sub>HSO</sub>	先前 MISO 数据保持时间	0	–	–	ns
SID172A	T <sub>SSELCK</sub>	到第一个 SCK 有效沿的 SSEL 有效时间	100	–	–	ns

## 存储器

**表 26.闪存直流规范**

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID173	V <sub>PE</sub>	擦除和编程电压	1.71	–	5.5	V	

**表 27.闪存交流规范**

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID174	T <sub>ROWWRITE</sub> <sup>[3]</sup>	行 (模块) 编写时间 (擦除和编程)	–	–	20	ms	行 (模块) = 128 个字节
SID175	T <sub>ROWERASE</sub> <sup>[3]</sup>	行擦除时间	–	–	13	ms	
SID176	T <sub>ROWPROGRAM</sub> <sup>[3]</sup>	擦除后的行编程时间	–	–	7	ms	
SID178	T <sub>BULKERASE</sub> <sup>[3]</sup>	批量擦除时间 (32 KB)	–	–	35	ms	
SID180	T <sub>DEVPROG</sub> <sup>[3]</sup>	器件总编程时间	–	–	7	秒	出厂校准保证
SID181	F <sub>END</sub>	闪存耐久性	100 K	–	–	周期	出厂校准保证
SID182	F <sub>RET</sub>	闪存数据保持时间。T <sub>A</sub> ≤ 55 °C, 100 K P/E 周期	20	–	–	年	出厂校准保证
SID182A		闪存数据保持时间。T <sub>A</sub> ≤ 85 °C, 10 K P/E 周期	10	–	–	年	出厂校准保证
SID182B	F <sub>RETQ</sub>	闪存数据保持时间。T <sub>A</sub> ≤ 105 °C, 10 K P/E 周期, ≤ 三年 T <sub>A</sub> ≥ 85 °C	10	–	20	年	出厂校准保证

### 注意

- 它可能需要最多 20 毫秒来写入到闪存。在这段时间内请勿复位器件, 否则会中断闪存操作并且不能保证该操作的完成。复位源包括 XRES 引脚、软件复位、CPU 锁存状态和特权冲突、不合适的电源电平以及看门狗。需要确保这些复位源不会无意被触发。

**系统资源**

带掉电检测特性的上电复位 (POR)

**表 28.非精密上电复位 (IPOR)**

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID185	V <sub>RISEIPOR</sub>	上升触发电压	0.80	–	1.45	V	出厂校准保证
SID186	V <sub>FALLIPOR</sub>	下降触发电压	0.75	–	1.4	V	出厂校准保证
SID187	V <sub>IPORHYST</sub>	Hysteresis	15	–	200	mV	出厂校准保证

**表 29.精密上电复位 (POR)**

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID190	V <sub>FALLPPOR</sub>	活动模式和睡眠模式下的 BOD 触发电压	1.64	–	–	V	1.71 V 和 BOD 触发电压之间的全功能由出厂校准保证
SID192	V <sub>FALLDPSLP</sub>	深度睡眠模式下的 BOD 触发电压	1.4	–	–	V	出厂校准保证
BID55	Svdd	最大电源斜升率	–	–	67	kV/sec	

**电压监控器**
**表 30.电压监控器直流规范**

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID195	V <sub>LVI1</sub>	LVI_A/D_SEL[3:0] = 0000b	1.71	1.75	1.79	V	
SID196	V <sub>LVI2</sub>	LVI_A/D_SEL[3:0] = 0001b	1.76	1.80	1.85	V	
SID197	V <sub>LVI3</sub>	LVI_A/D_SEL[3:0] = 0010b	1.85	1.90	1.95	V	
SID198	V <sub>LVI4</sub>	LVI_A/D_SEL[3:0] = 0011b	1.95	2.00	2.05	V	
SID199	V <sub>LVI5</sub>	LVI_A/D_SEL[3:0] = 0100b	2.05	2.10	2.15	V	
SID200	V <sub>LVI6</sub>	LVI_A/D_SEL[3:0] = 0101b	2.15	2.20	2.26	V	
SID201	V <sub>LVI7</sub>	LVI_A/D_SEL[3:0] = 0110b	2.24	2.30	2.36	V	
SID202	V <sub>LVI8</sub>	LVI_A/D_SEL[3:0] = 0111b	2.34	2.40	2.46	V	
SID203	V <sub>LVI9</sub>	LVI_A/D_SEL[3:0] = 1000b	2.44	2.50	2.56	V	
SID204	V <sub>LVI10</sub>	LVI_A/D_SEL[3:0] = 1001b	2.54	2.60	2.67	V	
SID205	V <sub>LVI11</sub>	LVI_A/D_SEL[3:0] = 1010b	2.63	2.70	2.77	V	
SID206	V <sub>LVI12</sub>	LVI_A/D_SEL[3:0] = 1011b	2.73	2.80	2.87	V	
SID207	V <sub>LVI13</sub>	LVI_A/D_SEL[3:0] = 1100b	2.83	2.90	2.97	V	
SID208	V <sub>LVI14</sub>	LVI_A/D_SEL[3:0] = 1101b	2.93	3.00	3.08	V	
SID209	V <sub>LVI15</sub>	LVI_A/D_SEL[3:0] = 1110b	3.12	3.20	3.28	V	
SID210	V <sub>LVI16</sub>	LVI_A/D_SEL[3:0] = 1111b	4.39	4.50	4.61	V	
SID211	LVI_IDD	模块电流	–	–	100	μA	出厂校准保证

**表 31.电压监控器交流规范**

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID212	T <sub>MONTRIP</sub>	电压监控器触发时间	–	–	1	μs	出厂校准保证

**SWD 接口**
**表 32.SWD 接口 规范**

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID213	F_SWDCLK1	$3.3\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	-	-	14	MHz	SWDCLK $\leq$ 1/3 CPU 时钟频率
SID214	F_SWDCLK2	$1.71\text{ V} \leq V_{DD} \leq 3.3\text{ V}$	-	-	7	MHz	SWDCLK $\leq$ 1/3 CPU 时钟频率
SID215	T_SWDL_SETUP	$T = 1/f\text{ SWDCLK}$	$0.25 * T$	-	-	ns	出厂校准保证
SID216	T_SWDL_HOLD	$T = 1/f\text{ SWDCLK}$	$0.25 * T$	-	-	ns	出厂校准保证
SID217	T_SWDO_VALID	$T = 1/f\text{ SWDCLK}$	-	-	$0.5 * T$	ns	出厂校准保证
SID217A	T_SWDO_HOLD	$T = 1/f\text{ SWDCLK}$	1	-	-	ns	出厂校准保证

**内部主振荡器**
**表 33.IMO 直流规范**

(设计保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID218	I <sub>IMO1</sub>	频率为 48 MHz 时的 IMO 工作电流	-	-	1000	μA	
SID219	I <sub>IMO2</sub>	频率为 24 MHz 时的 IMO 工作电流	-	-	325	μA	
SID220	I <sub>IMO3</sub>	频率为 12 MHz 时的 IMO 工作电流	-	-	225	μA	
SID221	I <sub>IMO4</sub>	频率为 6 MHz 时的 IMO 工作电流	-	-	180	μA	
SID222	I <sub>IMO5</sub>	频率为 3 MHz 时的 IMO 工作电流	-	-	150	μA	

**表 34.IMO 交流规范**

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID223	F <sub>IMOTOL1</sub>	频率在 3 到 48 MHz 范围内变化	-	-	$\pm 2$	%	$\pm 3\%$ 如果 $T_A > 85\text{ }^\circ\text{C}$ 并且 IMO 频率 $< 24\text{ MHz}$
SID226	T <sub>STARTIMO</sub>	IMO 启动时间	-	-	12	μs	
SID227	T <sub>JITRMSIMO1</sub>	频率为 3 MHz 时的 RMS 抖动	-	156	-	ps	
SID228	T <sub>JITRMSIMO2</sub>	频率为 24 MHz 时的 RMS 抖动	-	145	-	ps	
SID229	T <sub>JITRMSIMO3</sub>	频率为 48 MHz 时的 RMS 抖动	-	139	-	ps	

**内部低速振荡器**
**表 35.ILO 直流规范**

(设计保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID231	I <sub>ILO1</sub>	频率为 32 kHz 时的 ILO 工作电流	-	0.3	1.05	μA	出厂校准保证
SID233	I <sub>ILOLEAK</sub>	ILO 漏电流	-	2	15	nA	设计保证

**表 36. ILO 交流规范**

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID234	T <sub>STARTILO1</sub>	ILO 启动时间	–	–	2	ms	出厂校准保证
SID236	T <sub>ILODUTY</sub>	ILO 占空比	40	50	60	%	出厂校准保证
SID237	F <sub>ILOTRIM1</sub>	调整后的频率为 32 kHz	15	32	50	kHz	如果 T <sub>A</sub> > 85 °C, 最大 ILO 频率为 70 kHz

**表 37. 外部时钟规范**

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID305	ExtClkFreq	外部时钟输入频率	0	–	48	MHz	出厂校准保证
SID306	ExtClkDuty	占空比; V <sub>DD/2</sub> 时测量	45	–	55	%	出厂校准保证

**表 38. UDB 交流规范**

(出厂校准保证)

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
<b>数据路径性能</b>							
SID249	F <sub>MAX-TIMER</sub>	在 UDB 对中 16 位定时器的最高频率	–	–	48	MHz	
SID250	F <sub>MAX-ADDER</sub>	在 UDB 对中 16 位加法器的最高频率	–	–	48	MHz	
SID251	F <sub>MAX-CRC</sub>	在 UDB 对中 16 位 CRC/PRS 的最高频率	–	–	48	MHz	
<b>UDB 中的 PLD 性能</b>							
SID252	F <sub>MAX-PLD</sub>	在 UDB 对中双通 PLD 功能的最高频率	–	–	48	MHz	
<b>时钟输入至数据输出的性能</b>							
SID253	T <sub>CLK_OUT_UBD1</sub>	在温度为 25 °C 时从时钟输入到数据输出之间的传输延迟时间; 典型值	–	15	–	ns	
SID254	T <sub>CLK_OUT_UBD2</sub>	从时钟输入到数据输出之间的传输延迟时间, 最差值。	–	25	–	ns	

**表 39. 模块规范**

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID256*	T <sub>WS48</sub> *	频率为 48 MHz 时的等待状态数	1	–	–		CPU 从闪存执行。出厂校准保证
SID257	T <sub>WS24</sub> *	频率为 24 MHz 时的等待状态数	0	–	–		CPU 从闪存执行。出厂校准保证
SID260	V <sub>REFSAR</sub>	校准后的 SAR 内部参考	-1	–	+1	%	V <sub>bg</sub> 的百分比 (1.024 V)。出厂校准保证
SID262	T <sub>CLKSWITCH</sub>	时钟从 clk1 切换到 clk2 需要的 clk1 周期时间	3	–	4	周期	(设计保证)

\* T<sub>WS48</sub> 和 T<sub>WS24</sub> 都由设计保证

**表 40. UDB 端口适配器规范**

(基于 LPC 组件规范, 由出厂校准保证, C<sub>load</sub> = 10 pF, V<sub>DDIO</sub> 和 V<sub>DD</sub> = 3 V)

Spec ID	参数	描述	最小值	典型值	最大值	单位	详情/条件
SID263	T <sub>LCLKDO</sub>	从 LCLK 到输出的延迟时间	–	–	18	ns	
SID264	T <sub>DINLCLK</sub>	从输入建立时间到 LCLK 上升沿的时间	–	–	7	ns	
SID265	T <sub>DINLCLKHLD</sub>	从 LCLK 上升沿的输入保持时间	5	–	–	ns	
SID266	T <sub>LCLKHIZ</sub>	从 LCLK 到输出为三态的时间	–	–	28	ns	
SID267	T <sub>FLCLK</sub>	LCLK 频率	–	–	33	MHz	
SID268	T <sub>LCLKDUTY</sub>	LCLK 占空比 (高比例)	40	–	60	%	

## 订购信息

下表显示的是 PSoC 4200 系列的器件型号和各种特性。

**表 41.PSoC 4200 系列的订购信息**

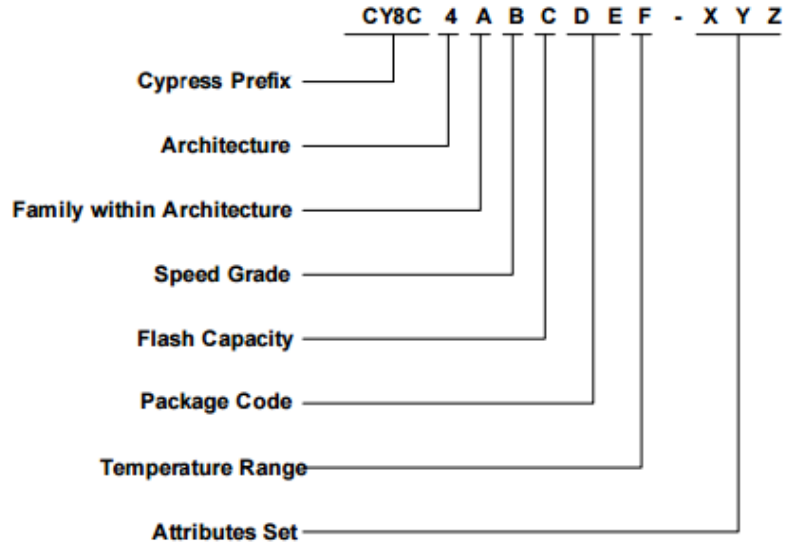
系列	MPN	特性												封装				
		CPU 最大速率 (MHz)	闪存 (KB)	SRAM (KB)	UDB	运算放大器(CTBm)	CapSense	LCD 直接驱动	12-bit SAR ADC	LP Comparator	TCPWM Blocks	SCB Blocks	GPIO	28-SSOP	35-WLCSP	40-QFN	44-TQFP	48-TQFP
4200	CY8C4244PVI-432	48	16	4	2	1	-	-	1 Msps	2	4	2	24	√				
	CY8C4244PVI-442	48	16	4	2	1	√	√	1 Msps	2	4	2	24	√				
	CY8C4244PVQ-432	48	16	4	2	1	-	-	1 Msps	2	4	2	24	√				
	CY8C4244PVQ-442	48	16	4	2	1	√	√	1 Msps	2	4	2	24	√				
	CY8C4244FNI-443	48	16	4	2	2	√	√	1 Msps	2	4	2	31		√			
	CY8C4244LQI-443	48	16	4	2	2	√	√	1 Msps	2	4	2	34			√		
	CY8C4244AXI-443	48	16	4	2	2	√	√	1 Msps	2	4	2	36				√	
	CY8C4244LQQ-443	48	16	4	2	2	√	√	1 Msps	2	4	2	34			√		
	CY8C4244AXQ-443	48	16	4	2	2	√	√	1 Msps	2	4	2	36				√	
	CY8C4244AZI-443	48	16	4	2	2	√	√	1 Msps	2	4	2	36					√
	CY8C4245AXI-473	48	32	4	4	2	-	-	1 Msps	2	4	2	36				√	
	CY8C4245AXQ-473	48	32	4	4	2	-	-	1 Msps	2	4	2	36				√	
	CY8C4245AZI-473	48	32	4	4	2	-	-	1 Msps	2	4	2	36					√
	CY8C4245PVI-482	48	32	4	4	1	√	√	1 Msps	2	4	2	24	√				
	CY8C4245PVQ-482	48	32	4	4	1	√	√	1 Msps	2	4	2	24	√				
	CY8C4245FNI-483(T)	48	32	4	4	2	√	√	1 Msps	2	4	2	31		√			
	CY8C4245LQI-483	48	32	4	4	2	√	√	1 Msps	2	4	2	34			√		
	CY8C4245AXI-483	48	32	4	4	2	√	√	1 Msps	2	4	2	36				√	
	CY8C4245LQQ-483	48	32	4	4	2	√	√	1 Msps	2	4	2	34			√		
	CY8C4245AXQ-483	48	32	4	4	2	√	√	1 Msps	2	4	2	36				√	
CY8C4245AZI-483	48	32	4	4	2	√	√	1 Msps	2	4	2	36					√	

**部件编号规则**

PSoC 4 器件遵循下表所述的器件编号约定。除非另有声明, 否则所有字段都是单字符字母数字 (0、1、2、...、9、A、B、...、Z)。器件编号的格式为 CY8C4ABCDEF-XYZ, 其中各域的定义如下所示。

**Example**

- 4: PSoC 4**
- 2: 4200 Family**
- 4: 48 MHz**
- 5: 32 KB**
- AX: TQFP**
- I: Industrial**



下表列出了各域值。

字段	描述	值	含义
CY8C	Cypress 前缀		
4	架构	4	PSoC 4
A	架构中的系列	1	4100 系列
		2	4200 系列
B	CPU 速度	2	24 MHz
		4	48 MHz
C	闪存容量	4	16 KB
		5	32 KB
DE	封装编码	AX, AZ	TQFP
		LQ	QFN
		PV	SSOP
		FN	WLCSP
F	温度范围	I	工业级
		Q	Extended Industrial
XYZ	属性代码	000-999	特定系列特性组代码



## 封装

**表 42.封装特性**

参数	描述	条件	最	典型	最大值	单位
T <sub>A</sub>	工作环境温度		-40	25.00	105	°C
T <sub>J</sub>	工作接点温度		-40	–	125	°C
T <sub>JA</sub>	封装 θ <sub>JA</sub> (28-pin SSOP)		–	66.58	–	°C/Watt
T <sub>JA</sub>	封装 θ <sub>JA</sub> (35-ball WLCSP)		–	28.00	–	°C/Watt
T <sub>JA</sub>	封装 θ <sub>JA</sub> (40-pin QFN)		–	15.34	–	°C/Watt
T <sub>JA</sub>	封装 θ <sub>JA</sub> (44-pin TQFP)		–	57.16	–	°C/Watt
T <sub>JA</sub>	封装 θ <sub>JA</sub> (48-pin TQFP)		–	67.30	–	°C/Watt
T <sub>JC</sub>	封装 θ <sub>JC</sub> (28-pin SSOP)		–	26.28	–	°C/Watt
T <sub>JC</sub>	封装 θ <sub>JC</sub> (35-ball WLCSP)		–	00.40	–	°C/Watt
T <sub>JC</sub>	封装 θ <sub>JC</sub> (40-pin QFN)		–	2.50	–	°C/Watt
T <sub>JC</sub>	封装 θ <sub>JC</sub> (44-pin TQFP)		–	17.47	–	°C/Watt
T <sub>JC</sub>	封装 θ <sub>JC</sub> (48-pin TQFP)		–	27.60	–	°C/Watt

**表 43.回流焊峰值温度**

封装	最高峰值温度	峰值温度下最长时间
28-pin SSOP	260 °C	30 秒
35-ball WLCSP	260 °C	30 秒
40-pin QFN	260 °C	30 秒
44-pin TQFP	260 °C	30 秒
48-pin TQFP	260 °C	30 秒

**表 44.封装潮敏等级 (MSL), IPC/JEDEC J-STD-2**

封装	MSL
28-pin SSOP	MSL 3
35-ball WLCSP	MSL 3
40-pin QFN	MSL 3
44-pin TQFP	MSL 3
48-pin TQFP	MSL 3

带电路图符号和 PCB 印记的 PSoC 4 CAB 库可以从 Cypress 网站获取:

[http://www.cypress.com/cad-resources/psoc-4-cad-libraries?source=search&cat=technical\\_documents](http://www.cypress.com/cad-resources/psoc-4-cad-libraries?source=search&cat=technical_documents)。

图 17.28-pin (210-mil) SSOP 封装外形

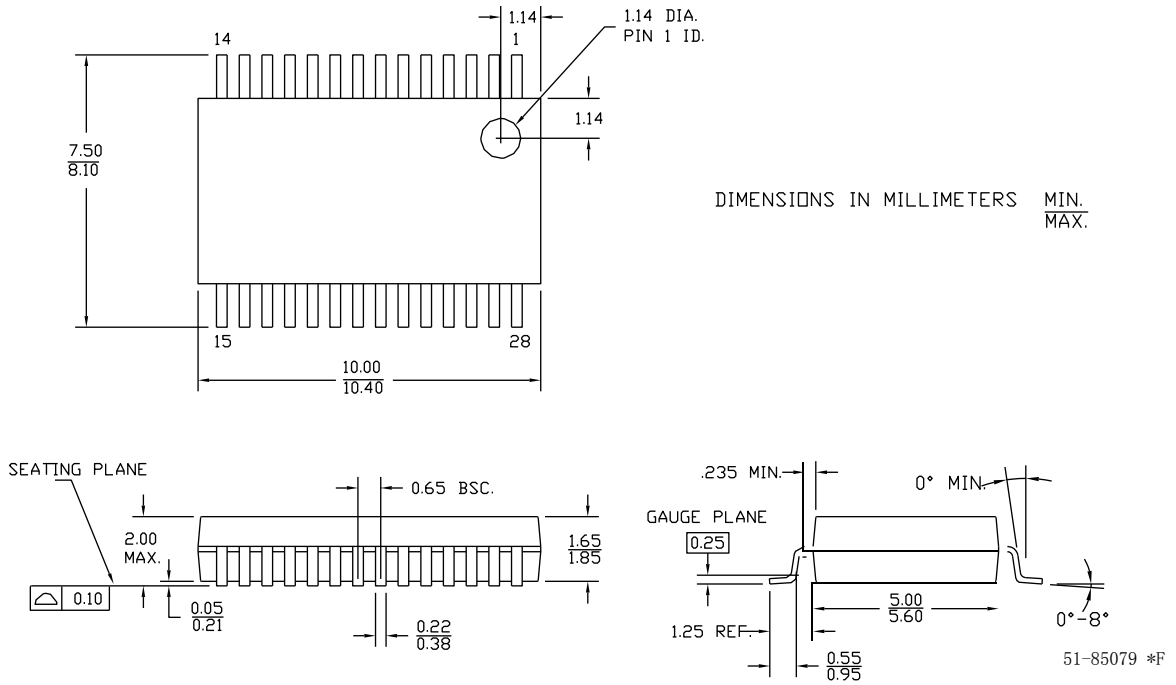
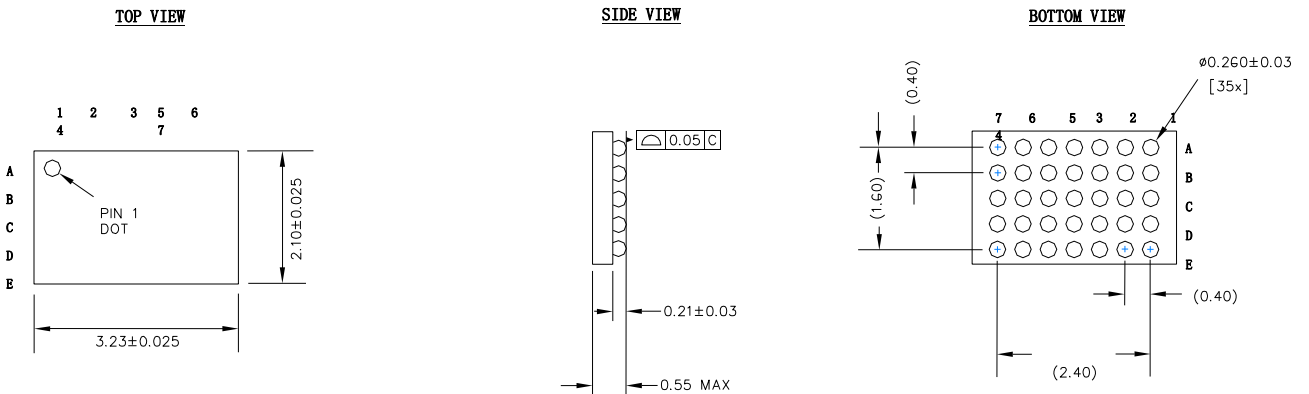


图 18.35-ball WLCSP 封装外形

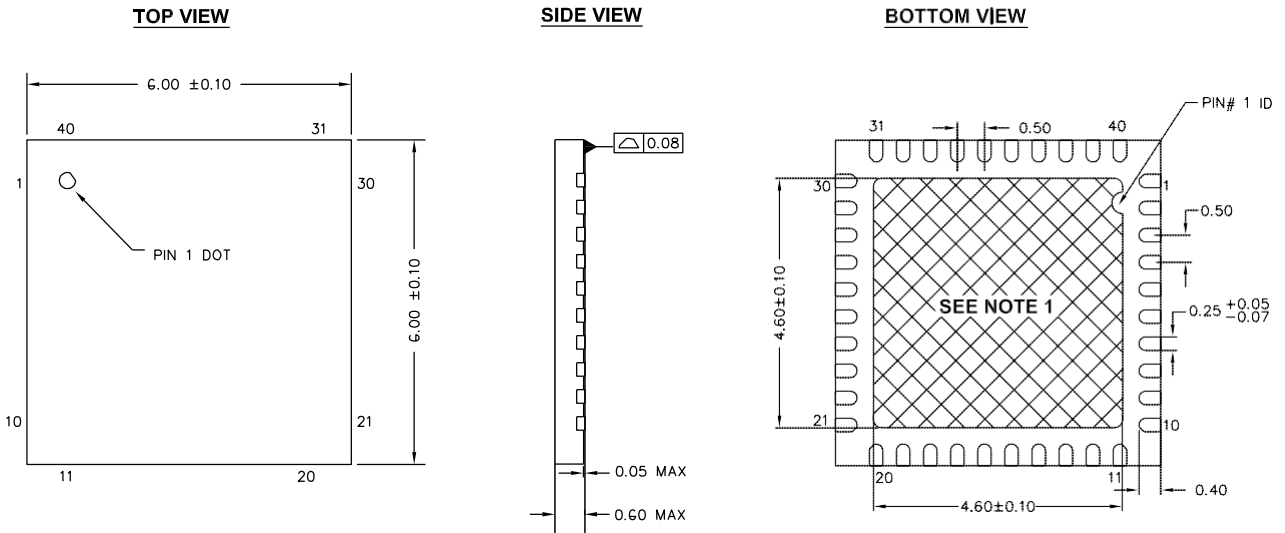


**注意:**

1. 参考 JEDEC PUBLICATION 95, DESIGN GUIDE 4.18
2. 所有尺寸的单位为毫米

001-93741 \*\*

图 19.40-pin QFN 封装外形



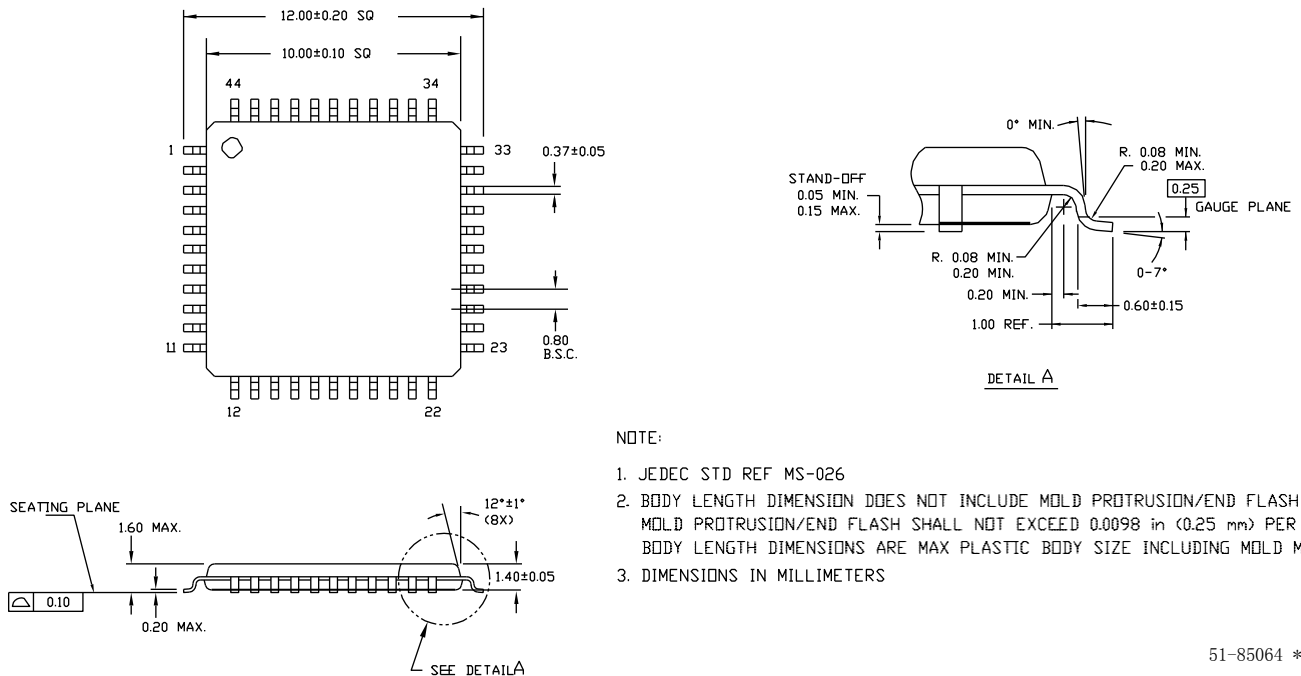
NOTES:

1. HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT: 68 ±2 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-80659 \*A

QFN 封装的中心垫应当连接到接地 (VSS) 以实现最佳机械、热力、和电气性能。如果未接地, 则应处于电气悬空状态, 且不能连接到任何其他信号。

图 20.44-pin TQFP 封装外形

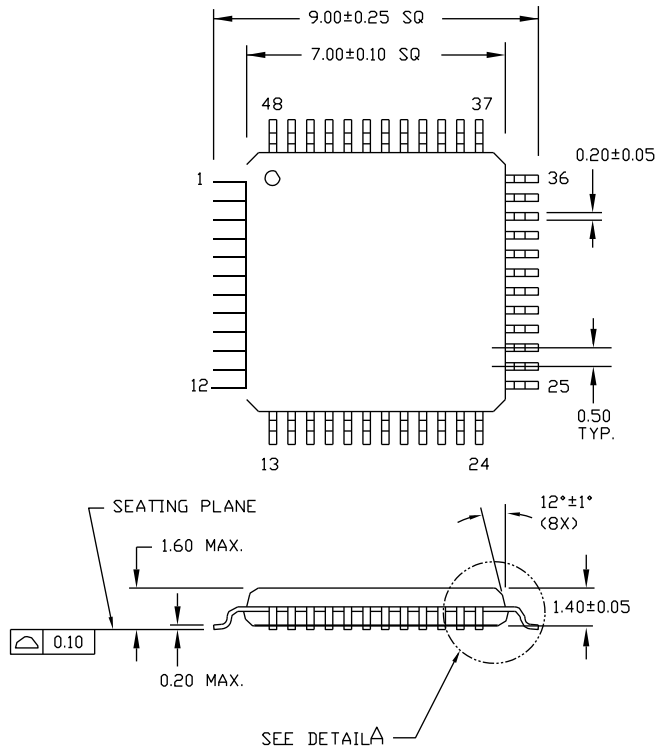


NOTE:

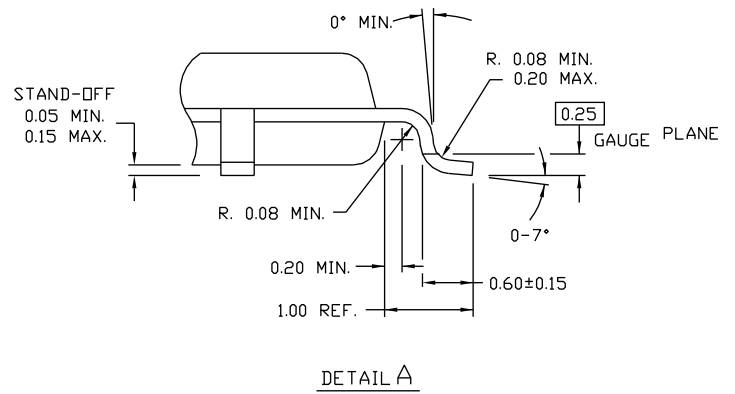
1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH  
MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE  
BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS

51-85064 \*G

图 21.48-pin TQFP 封装外形



DIMENSIONS ARE IN MILLIMETERS



51-85135 \*C

## 缩略语

**表 45. 本文档中使用的缩略语**

缩写	描述
abus	模拟局部总线
ADC	模数转换器
AG	模拟全局总线
AHB	AMBA (先进微控制器总线架构) 高性能总线, 即作为一种 ARM 数据传输总线
ALU	算术逻辑单元
AMUXBUS	模拟复用器总线
API	应用编程接口
APSR	应用编程状态寄存器
ARM®	高级 RISC 机器, 即作为一种 CPU 架构
ATM	自动 Thump 模式
BW	带宽
CAN	控制器区域网络, 即作为一种通信协议
CMRR	共模抑制比
CPU	中央处理单元
CRC	循环冗余校验, 即作为一种错误校验协议
DAC	数模转换器, 另请参见 IDAC、VDAC
DFB	数字滤波器模块
DIO	数字输入 / 输出, GPIO 仅具有数字功能, 无模拟功能。请参见 GPIO。
DMIPS	Dhrystone 每秒百万条指令
DMA	直接存储器访问, 另请参见 TD
DNL	微分非线性, 另请参见 INL
DNU	请勿使用
DR	端口写入数据寄存器
DSI	数字系统互连
DWT	数据观察点和跟踪
ECC	纠错码
ECO	外部晶体振荡器
EEPROM	电可擦除可编程只读存储器
EMI	电磁干扰
EMIF	外部存储器接口
EOC	转换结束
EOF	帧结束
EPSR	执行程序状态寄存器
ESD	静电放电

**表 45. 本文档中使用的缩略语 (续)**

缩写	描述
ETM	嵌入式跟踪宏单元
FIR	有限脉冲响应, 另请参见 IIR
FPB	闪存修补和断点
FS	全速
GPIO	通用输入 / 输出, 适用于 PSoc 引脚
HVI	高电压中断, 另请参见 LVI、LVD
IC	集成电路
IDAC	电流 DAC, 另请参见 DAC、VDAC
IDE	集成开发环境
I <sup>2</sup> C, or IIC	内部集成电路, 即作为一种通信协议
IIR	无限脉冲响应, 另请参见 FIR
ILO	内部低速振荡器, 另请参见 IMO
IMO	内部主振荡器, 另请参见 ILO
INL	积分非线性, 另请参见 DNL
I/O	输入 / 输出, 另请参见 GPIO、DIO、SIO、
IPOR	初次上电复位
IPSR	中断程序状态寄存器
IRQ	中断请求
ITM	仪器化跟踪宏单元
LCD	液晶显示器
LIN	本地互连网络, 一种通信协议
LR	链接寄存器
LUT	查询表
LVD	欠压检测, 另请参见 LVI
LVI	低压中断, 另请参见 HVI
LVTTTL	低压晶体管 - 晶体管逻辑
MAC	乘法累加器
MCU	微控制器单元
MISO	主入从出
NC	无连接
NMI	不可屏蔽的中断
NRZ	非归零
NVIC	嵌套向量中断控制器
NVL	非易失性锁存器, 另请参见 WOL
opamp	运算放大器
PAL	可编程阵列逻辑, 另请参见 PLD

**表 45. 本文档中使用的缩略语 (续)**

缩写	描述
PC	程序计数器
PCB	印刷电路板
PGA	可编程增益放大器
PHUB	外设集线器
PHY	物理层
PICU	端口中断控制单元
PLA	可编程逻辑阵列
PLD	可编程逻辑器件, 另请参见 PAL
PLL	锁相环
PMDD	封装材料声明数据手册
POR	上电复位
PRES	准确上电复位
PRS	伪随机序列
PS	端口读取数据寄存器
PSoC®	可编程片上系统
PSRR	电源抑制比
PWM	脉冲宽度调制器
RAM	随机存取存储器
RISC	精简指令集计算
RMS	均方根
RTC	实时时钟
RTL	寄存器转换语言
RTR	远程传输请求
RX	接收
SAR	逐次逼近寄存器
SC/CT	开关电容 / 连续时间
SCL	I <sup>2</sup> C 串行时钟
SDA	I <sup>2</sup> C 串行数据
S/H	采样和保持
SINAD	信噪比和失真比
SIO	特殊输入 / 输出, 带高级功能的 GPIO。 请参见 GPIO。
SOC	开始转换
SOF	帧开始
SPI	串行外设接口, 即为一种通信协议
SR	斜率
SRAM	静态随机存取存储器
SRES	软件复位
SWD	串行线调试, 即为一种测试协议

**表 45. 本文档中使用的缩略语 (续)**

缩写	描述
SWV	单线浏览器
TD	传输描述符, 另请参见 DMA
THD	总谐波失真
TIA	互阻放大器
TRM	技术参考手册
TTL	晶体管 - 晶体管逻辑
TX	发送
UART	通用异步发射器接收器, 它是一种通信协议
UDB	通用数字模块
USB	通用串行总线
USBIO	USB 输入 / 输出, 用于连接至 USB 端口的 PSoc 引脚
VDAC	电压数模转换器, 另请参见 DAC、IDAC
WDT	看门狗定时器
WOL	一次性写锁存器, 另请参见 NVL
WRES	看门狗定时器复位
XRES	外部复位 I/O 引脚
XTAL	晶体

## 文档约定

### 测量单位

表 46. 测量单位

符号	测量单位
°C	摄氏度
dB	分贝
fF	飞法
Hz	赫兹
KB	1024 个字节
kbps	每秒千位数
Khr	千小时
kHz	千赫兹
k $\square$	千欧
ksps	每秒千次采样
LSB	最低有效位
Mbps	每秒兆位数
MHz	兆赫兹
M $\Omega$	兆欧
Msps	每秒兆次采样
$\mu$ A	微安
$\mu$ F	微法
$\mu$ H	微亨
$\mu$ s	微秒
$\mu$ V	微伏
$\mu$ W	微瓦
mA	毫安
ms	毫秒
mV	毫伏
nA	纳安
ns	纳秒
nV	纳伏
$\Omega$	欧姆
pF	皮法
ppm	百万分率
ps	皮秒
s	秒
sps	每秒采样数
sqrtHz	赫兹平方根
V	伏特



**修订历史**

说明标题: PSoC® 4: PSoC 4200 系列数据手册可编程片上系统 (PSoC®)  
文档编号: 001-80011

版本	ECN	变更者	提交日期	变更说明
**	3644576	JCHE	07/31/2012	CY8C42 数据手册中文版初版。
*A	3934247	JCHE	03/26/2013	根据英文版本 001-69464*D 做相应修改。
*B	3959208	JCHE	04/09/2013	根据英文版更新了标题, 无其它细节更新。
*C	3974239	JCHE	04/19/2013	根据英文版本 001-87197 Rev. ** 做相应修改。
*D	4087222	HENG	08/05/2013	根据英文版本 001-87197 Rev.*A 做相应修改
*E	5839050	XITO	07/31/2017	根据英文版本 001-87197 Rev. *I 更新翻译

## 销售、解决方案、和法律信息

### 全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问 [赛普拉斯所在地](#)。

#### 产品

ARM® Cortex® 微控制器	<a href="http://cypress.com/arm">cypress.com/arm</a>
汽车级产品	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
时钟与缓冲器	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
接口	<a href="http://cypress.com/interface">cypress.com/interface</a>
物联网	<a href="http://cypress.com/iot">cypress.com/iot</a>
存储器	<a href="http://cypress.com/memory">cypress.com/memory</a>
微控制器	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
电源管理 IC	<a href="http://cypress.com/pmuc">cypress.com/pmuc</a>
触摸感应	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB 控制器	<a href="http://cypress.com/usb">cypress.com/usb</a>
无线连接	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

#### PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 4LP](#) | [PSoC 6](#)

#### 赛普拉斯开发者社区

[论坛](#) | [WICED IoT 论坛](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

#### 技术支持

[cypress.com/support](http://cypress.com/support)

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.

© 赛普拉斯半导体公司，2013-2017 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC (“赛普拉斯”) 的财产。本文件，包括其包含或引用的任何软件或固件 (“软件”)，根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可权) (1) 在赛普拉斯特软件著作权项下的下列许可权 (一) 对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供)，和 (2) 在被软件 (由赛普拉斯公司提供，且未经修改) 侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 [cypress.com](http://cypress.com) 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。